

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT

#3 28-01-001
Priority Papers
Jc511 U.S. PTO
09/672738
09/28/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

願年月日
Date of Application:

1999年 9月30日

願番号
Application Number:

平成11年特許願第280605号

願人
Applicant(s):

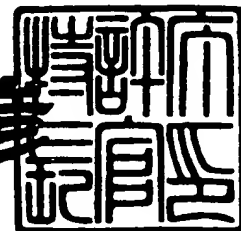
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月29日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



【書類名】 特許願

【整理番号】 P004373-04

【提出日】 平成11年 9月30日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 田中 幸夫

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

TFTを有する($m \times 2n$)個の画素がマトリクス状に配置された画素部と(m 、 n はともに自然数)、

$2n$ 本のソース信号線 S_1 、 S_2 、 \dots 、 S_n 、 S_{n+1} 、 S_{n+2} 、 \dots 、 S_{2n} にビデオ信号を供給するソースドライバと、

m 本の第1のゲート信号線 G_{1L} 、 G_{2L} 、 \dots 、 G_{mL} に選択信号を供給する第1のゲートドライバと、

m 本の第2のゲート信号線 G_{1R} 、 G_{2R} 、 \dots 、 G_{mR} に選択信号を供給する第2のゲートドライバと、

を有する液晶表示装置であって、

前記ソース信号線 S_1 、 S_2 、 \dots 、 S_n に接続された前記画素は、前記第1のゲート信号線 G_{1L} 、 G_{2L} 、 \dots 、 G_{mL} から選択信号を供給され、

前記ソース信号線 S_{n+1} 、 S_{n+2} 、 \dots 、 S_{2n} に接続された前記画素は、前記第2のゲート信号線 G_{1R} 、 G_{2R} 、 \dots 、 G_{mR} から選択信号を供給され、

前記第1のゲート信号線 G_{1L} に選択信号が供給されている間に、前記第2のゲート信号線 G_{1R} に選択信号が供給され始め、

前記第2のゲート信号線 G_{1R} に選択信号が供給されている間に、前記第1のゲート信号線 G_{1L} に選択信号が供給され始めることを特徴とする液晶表示装置

【請求項 2】

TFTを有する($m \times 2n$)個の画素がマトリクス状に配置された画素部と(m 、 n はともに自然数)、

$2n$ 本のソース信号線 S_1 、 S_2 、 \dots 、 S_n 、 S_{n+1} 、 S_{n+2} 、 \dots 、 S_{2n} にビデオ信号を供給するソースドライバと、

m 本の第1のゲート信号線 G_{1L} 、 G_{2L} 、 \dots 、 G_{mL} に選択信号を供給

する第 1 のゲートドライバと、

m 本の第 2 のゲート信号線 G 1 R、G 2 R、・・・、G m R に選択信号を供給する第 1 のゲートドライバと、

を有する液晶表示装置であって、

前記ソース信号線 S 1、S 2、・・・、S n に接続された前記画素は、前記第 1 のゲート信号線 G 1 L、G 2 L、・・・、G m L から選択信号を供給され、

前記ソース信号線 S n + 1、S n + 2、・・・、S 2' n に接続された前記画素は、前記第 2 のゲート信号線 G 1 R、G 2 R、・・・、G m R から選択信号を供給され、

前記選択信号は、前記第 1 のゲート信号線 G 1 L、前記第 2 のゲート信号線 G 1 R、前記第 1 のゲート信号線 G 2 L、前記第 2 のゲート信号線 G 2 R、・・・、前記第 1 のゲート信号線 G m L、前記第 2 のゲート信号線 G m R の順に半周期づつ遅れながら順に供給されることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または 2 に記載の液晶表示装置を 3 個用いたことを特徴とするリアプロジェクター。

【請求項 4】

請求項 1 または 2 に記載の液晶表示装置を 3 個用いたことを特徴とするフロントプロジェクター。

【請求項 5】

請求項 1 または 2 に記載の液晶表示装置を 1 個用いたことを特徴とするリアプロジェクター。

【請求項 6】

請求項 1 または 2 に記載の液晶表示装置を 1 個用いたことを特徴とするフロントプロジェクター。

【請求項 7】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするヘッドマウントディスプレイ。

【請求項 8】

請求項 1 または 1 に記載の液晶表示装置を用いたことを特徴とするコンピュータ。

【請求項 9】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするビデオカメラ。

【請求項 1 0】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とする DVD プレーヤー。

【請求項 1 1】

請求項 1 または 2 に記載の液晶表示装置を用いたことを特徴とするディスプレイ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は表示装置に関する。特に、アクティブマトリクス型液晶表示装置に関する。

【0 0 0 2】

【従来の技術】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ (T F T) を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置 (以下、「液晶表示装置」という。) の需要が高まってきたことによる。

【0 0 0 3】

液晶表示装置は画素部に数十～数百万個もの T F T がマトリクス状に配置され、各 T F T に接続された画素電極に出入りする電荷を T F T のスイッチング機能により制御し画像を表示するものである。

【0 0 0 4】

従来、画素部にはガラス基板上に形成されたアモルファスシリコンを利用した薄膜トランジスタが配置されている。

【 0 0 0 5 】

また近年、基板として石英を利用し多結晶珪素膜で薄膜トランジスタを作製する技術も知られている。この場合、周辺駆動回路も画素部も石英基板上に一体形成される。

【 0 0 0 6 】

また最近、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を用いた薄膜トランジスタを作製する技術も知られている。

【 0 0 0 7 】

【発明が解決しようとする課題】

図 1 8 に従来のアクティブマトリクス型液晶表示装置の概略構成図を示す。図 1 8 において、2 0 0 0 1 はソースドライバ、2 1 0 0 0 はゲートドライバ、2 2 0 0 0 は画素部である。画素部 2 2 0 0 0 は、複数の T F T 2 2 1 0 0 がマトリクス状に配置された回路である。それぞれの画素 T F T 2 2 1 0 0 のゲート電極、ソース電極には、それぞれゲート信号線 (G 1、G 2、・・・、G 4 8 0)、ソース信号線 (S 1、S 2、・・・、S 6 4 0) が接続されている。T F T 2 2 1 0 0 のドレイン電極には画素電極 2 2 2 0 0 が接続されている。また、2 2 4 0 0 は保持容量である。ここでは、画素部は (4 8 0 × 6 4 0) 個の画素を有してる。説明の便宜上、各画素には (1、1) ~ (4 8 0、6 4 0) という符号が付けられている。

【 0 0 0 8 】

一般に、駆動回路と画素部を有する基板をアクティブマトリクス基板という。アクティブマトリクス基板と一面に対向電極が形成された対向基板 (図示せず) との間に液晶 2 2 3 0 0 が挟まれている、

【 0 0 0 9 】

図 1 7 に示した従来のアクティブマトリクス型液晶表示装置においては、ソースドライバへはクロック信号 (C K)、クロックバック信号 (C L K B)、スタートパルス (S P) およびビデオ信号 (V I D E O) が入力され、ゲートドライバへはクロック信号 (C K)、クロックバック信号 (C L K B)、スタートパルス (S P) が外部から入力される。

【0010】

次に図18を参照する。図18には、図18に示す従来のアクティブマトリクス型液晶表示装置の動作タイミングチャートが示されている。

【0011】

従来のアクティブマトリクス型液晶表示装置においては、ソースドライバ20000は、クロック信号(CLK)、クロックバック信号(CLKB)およびスタートパルス(SP)によって、タイミング信号を順次発生し、ソースドライバ内のサンプリング回路に前記タイミング信号を出力する。サンプリング回路は、前記タイミング信号に基づいて、外部から入力されるビデオ信号(VIDEO)をサンプリングし、対応するソース信号線(S1、S2、・・・、S640)に出力する。

【0012】

ゲートドライバ21000からゲート信号線(G1、G2、・・・、G3)に順に選択信号が供給される。選択信号が供給されているゲート信号線に接続されている全てのTFTがONとなり、ソースドライバがソース信号線にビデオ信号を順に供給することによって、TFT(つまりは液晶および保持容量)に画像信号の書き込みが行われる。なお、ゲート信号線G1に選択信号の入力が終了した後に、ゲート信号線G2の選択信号の入力が始まる。そして、ゲート信号線G2に選択信号の入力が終了した後に、ゲート信号線G3の選択信号の入力が始まる。このように、ゲート信号線G1～G480に選択信号が順次入力され、1フレーム期間(TF)が終了する。

【0013】

例えば、ゲート信号線G1に選択信号が入力される時は、ソース信号線(S1、S2、・・・、S640)接続された画素(1、1)、(1、2)、・・・、(1、640)には、それぞれビデオ信号(1、1)、(1、2)、・・・、(1、640)が入力されることになる。ビデオ信号(1、1)、(1、2)、・・・、(1、640)が入力される期間を1ライン期間(T_L)といい、次の1ライン期間までの期間を水平帰線期間(T_H)という。

【0014】

このような従来の点順次アクティブマトリクス型液晶表示装置においては、ソース信号線の負荷容量が大きいため、ソース信号線へのビデオ信号の書き込みはに時間がかかる。かつ、ゲート信号線に選択信号が入力されている間に画素の保持容量へのビデオ信号の書き込みに充てられる時間が画素ごとに異なるので、特に、選択信号終了間際の画素（例えば、（1、639）、（1、640）等）には、水平帰線期間（TH）の一部しか、画素の保持容量へのビデオ信号の書き込みがされることがない。よって、このような画素の保持容量には、ビデオ信号の書き込みが十分にされることはなく、結果として表示品質の劣化を招いていた。

【0015】

このように、画素によって保持容量へのビデオ信号の書き込みが期間にばらつきがあり、画素によってはその期間を十分にとることができないという事態が生じていた。

【0016】

そこで本発明は上述の問題を鑑みてなされたものであり、全ての画素が保持容量への十分なビデオ信号の書き込みを実現することのできる、高品質な画像を表示することができるアクティブマトリクス型液晶表示装置を提供するものである。

【0017】

【課題を解決するための手段】

本発明の液晶表示装置は左側および右側のゲートドライバを有している。左側のゲートドライバは、画素部の左側半分の画素のTFTに選択信号を供給するように接続されている。かつ、右側のゲートドライバは、画素部の右側半分の画素のTFTに選択信号を供給するように接続されている。

【0018】

また、本発明の液晶表示装置においては、左側のゲートドライバがある列の画素に接続されているゲート信号線に選択信号を出力するタイミングと、右側のゲートドライバが前記画素と同じ行の画素に接続されているゲート信号線に選択信号を出力するタイミングとが異なる。

【0019】

図 1 を用いて本発明の液晶表示装置を説明する。

【0020】

図 1 に本発明の液晶表示装置 1000 の概略構成図を示す。図 1 において、1100 はソースドライバ、1200 は第 1 のゲートドライバ L、1300 は第 2 のゲートドライバ R、1400 は画素部である。ソースドライバ 1100 は、一般的に、シフトレジスタ回路、サンプリング回路、バッファ回路およびレベルシフタ回路等（いずれも図示せず）を含む。第 1 のゲートドライバ L 1200 および第 2 のゲートドライバ R 1300 は、それぞれ、シフトレジスタ回路、バッファ回路およびレベルシフタ回路等（いずれも図示せず）を含む。画素部 1400 は、複数の TFT 1401 がマトリクス状に配置された回路である。説明の便宜上、各画素には (1, 1) ~ (4, 4) という符号が付けられている。

【0021】

第 1 のゲートドライバ L 1200 は第 1 のゲート信号線 G1L、G2L、G3L、G4L に選択信号を供給する。ゲート信号線 G1L は画素 (1, 1) および画素 (1, 2) の TFT のゲート電極に接続されている。ゲート信号線 G2L は画素 (2, 1) および画素 (2, 2) の TFT のゲート電極に接続されている。ゲート信号線 G3L は画素 (3, 1) および画素 (3, 2) の TFT のゲート電極に接続されている。ゲート信号線 G4L は画素 (4, 1) および画素 (4, 2) の TFT のゲート電極に接続されている。

【0022】

第 2 のゲートドライバ R 1300 は第 2 のゲート信号線 G1R、G2R、G3R、G4R に選択信号を供給する。ゲート信号線 G1R は画素 (1, 3) および画素 (1, 4) の TFT のゲート電極に接続されている。ゲート信号線 G2R は画素 (2, 3) および画素 (2, 4) の TFT のゲート電極に接続されている。ゲート信号線 G3R は画素 (3, 3) および画素 (3, 4) の TFT のゲート電極に接続されている。ゲート信号線 G4R は画素 (4, 3) および画素 (4, 4) の TFT のゲート電極に接続されている。

【0023】

なお、第 1 のゲートドライバ L 1200 の第 1 のゲート信号線 G1L と第 2 の

ゲートドライバ R 1 3 0 0 の第 2 のゲート信号線 G 1 R とは接続されていない。
また、第 1 のゲート信号線 G 2 L と第 2 のゲート信号線 G 2 R とは接続されていない。
また、第 1 のゲート信号線 G 3 L と第 2 のゲート信号線 G 3 R とは接続されていない。
また、第 1 のゲート信号線 G 4 L と第 2 のゲート信号線 G 4 R とは接続されていない。

【 0 0 2 4 】

ソースドライバ 1 1 0 0 はソース信号線 S 1、S 2、S 3、S 4 にビデオ信号を供給する。ソース信号線 S 1 は画素 (1、1)、画素 (2、1)、画素 (3、1) および画素 (4、1) の T F T のソース電極に接続されている。ソース信号線 S 2 は画素 (1、2)、画素 (2、2)、画素 (3、2) および画素 (4、2) の T F T のソース電極に接続されている。ソース信号線 S 3 は画素 (1、3)、画素 (2、3)、画素 (3、3) および画素 (4、3) の T F T のソース電極に接続されている。ソース信号線 S 4 は画素 (1、4)、画素 (2、4)、画素 (3、4) および画素 (4、4) の T F T のソース電極に接続されている。

【 0 0 2 5 】

なお、ここでは説明の簡略化のため本発明を (4 × 4) の画素によって構成されている画素部を有する液晶表示装置を例にとって説明している。しかし、本発明によって (m × 2 n) 個の画素によって構成されている画素部を有する液晶表示装置が提供され得る (m、n は共に自然数)。

【 0 0 2 6 】

それぞれの画素にある T F T 1 4 0 1 のドレイン電極には画素電極 1 4 0 2 が接続されている。また、1 4 0 2 は保持容量である。

【 0 0 2 7 】

一般に、駆動回路と画素部とを有する基板をアクティブマトリクス基板 (または T F T 基板) という。アクティブマトリクス基板と一面に対向電極が形成された対向基板 (図示せず) との間に液晶 1 4 0 4 が挟まれている、

【 0 0 2 8 】

図 1 に示した本発明のアクティブマトリクス型液晶表示装置においては、ソースドライバへはクロック信号 (C K)、クロック信号とは逆位相であるクロック

バック信号 (CLKB)、スタートパルス (SP) およびビデオ信号 (VIDEO) 等が外部から入力され、ゲートドライバへはクロック信号 (CK)、クロックバック信号 (CLKB) およびスタートパルス (SP) 等が外部から入力される。

【0029】

次に図2を参照する。図2には、図1に示す本発明の液晶表示装置の動作タイミングチャートが示されている。

【0030】

図1に示す本発明の液晶表示装置においては、ソースドライバ1100は外部から入力されるクロック信号 (CLK)、クロックバック信号 (CLKB) およびスタートパルス (SP) 等によって、タイミング信号を順次発生し、ソースドライバ内のサンプリング回路に前記タイミング信号を出力する。サンプリング回路は、前記タイミング信号に基づいて外部から入力されるビデオ信号 (VIDEO) をサンプリングし、対応するソース信号線 (S1、S2、S3、S4) に順次出力する。

【0031】

本明細書においては、各ゲート信号線に選択信号が入力される期間をライン期間 (T_L) と呼び、ライン期間 (T_L) の $1/2$ の期間をハーフライン期間 (T_{HL}) と呼ぶことにする。

【0032】

なお、図2に示すビデオ信号 (VIDEO) には、各画素へ供給する画像信号に対応した符号が付けられている。つまり、画素 (1、1)、画素 (1、2)、画素 (1、3)、画素 (1、4)、画素 (2、1)、・・・、画素 (4、3)、画素 (4、4) へ、ビデオ信号 (1、1)、(1、2)、(1、3)、(1、4)、(2、1)、・・・、(4、3)、(4、4) がそれぞれ供給され書き込まれる。

【0033】

各信号の流れを以下に説明する。

【0034】

まず、ゲート信号線G 1 Lに選択信号が入力される。ゲート信号線G 1 Lに選択信号が入力されると、ゲート信号線G 1 Lに接続されている画素(1、1)および画素(1、2)のT F Tのゲート電極に選択信号が印加される。

【0035】

ゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})にソース信号線S 1にビデオ信号(1、1)が入力され画素(1、1)の保持容量にビデオ信号(1、1)が書き込まれる。ビデオ信号(1、1)の入力後、ソース信号線S 2にビデオ信号(1、2)が入力され画素(1、2)の保持容量にビデオ信号(1、2)が書き込まれる。そして、ゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})終了後、ゲート信号線G 1 Rに選択信号が入力される。ゲート信号線G 1 Rに選択信号が入力されると、ゲート信号線G 1 Rに接続されている画素(1、3)および画素(1、4)のT F Tのゲート電極に選択信号が印加される。

【0036】

ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})に、ソース信号線S 3にビデオ信号(1、3)が入力され、画素(1、3)の保持容量にビデオ信号(1、3)が書き込まれる。ビデオ信号(1、3)の入力後、ソース信号線S 4にビデオ信号(1、4)が入力され画素(1、4)の保持容量にビデオ信号(1、4)が書き込まれる。

【0037】

なお、ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})には、依然としてゲート信号線G 1 Lに選択信号が入力され続け、画素(1、1)および画素(1、2)のT F Tのゲート電極には選択信号が印加され続ける。

【0038】

ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})終了後、ゲート信号線G 2 Lに選択信号が入力される。ゲート信号線G 2 Lに選択信号が入力されると、ゲート信号線G 2 Lに接続されている画素(2、1)および画素(2、2)のT F Tのゲート電極に選択信号が印加される。

【0039】

ゲート信号線 G 2 L に選択信号入力開始後のハーフライン期間 (T_{HL}) に、ソース信号線 S 1 にビデオ信号 (2, 1) が入力され、画素 (2, 1) の保持容量にビデオ信号 (2, 1) が書き込まれる。ビデオ信号 (2, 1) の入力後、ソース信号線 S 2 にビデオ信号 (2, 2) が入力され画素 (2, 2) の保持容量にビデオ信号 (2, 2) が書き込まれる。

【0040】

なお、ゲート信号線 G 2 L に選択信号入力開始後のハーフライン期間 (T_{HL}) には、依然としてゲート信号線 G 1 R に選択信号が入力され続け、画素 (1, 3) および画素 (1, 4) の T F T のゲート電極には選択信号が印加され続ける。

【0041】

ゲート信号線 G 2 L に選択信号入力開始後のハーフライン期間 (T_{HL}) 終了後、ゲート信号線 G 2 R に選択信号が入力される。ゲート信号線 G 2 R に選択信号が入力されると、ゲート信号線 G 2 R に接続されている画素 (2, 3) および画素 (2, 4) の T F T のゲート電極に選択信号が印加される。

【0042】

ゲート信号線 G 2 R に選択信号入力開始後のハーフライン期間 (T_{HL}) に、ソース信号線 S 3 にビデオ信号 (2, 3) が入力され、画素 (2, 3) の保持容量にビデオ信号 (2, 3) が書き込まれる。ビデオ信号 (2, 3) の入力後、ソース信号線 S 4 にビデオ信号 (2, 4) が入力され画素 (2, 4) の保持容量にビデオ信号 (2, 4) が書き込まれる。

【0043】

なお、ゲート信号線 G 2 R に選択信号入力開始後のハーフライン期間 (T_{HL}) には、依然としてゲート信号線 G 2 L に選択信号が入力され続け、画素 (2, 1) および画素 (2, 2) の T F T のゲート電極には選択信号が印加され続ける。

【0044】

一般的に、液晶表示装置においては、ゲート信号線およびソース信号線の負荷容量が大きいため、ゲート信号線の短期間の選択では、T F T に接続された液晶および保持容量にビデオ信号を書き込むのに十分でない。しかし、本発明の液晶表示装置においては、ソース信号線にビデオ信号が入力された後もゲート信号線

に選択信号が入力されるので、ゲート信号線およびソース信号線の負荷容量が非常に大きい場合でも液晶および保持容量にビデオ信号を十分に書き込むだけの時間を稼ぐことができる。

【0045】

例えば、ゲート信号線の負荷容量が大きく、ゲート信号線の選択信号による電位の立ち上がりおよび立ち下がりには十分な時間を要する場合のタイミングチャートを図19に示す。図19に示すように、ゲート信号線に入力される選択信号によってゲート信号線が所望の電位に到達するまでには立ち上がり時間 (T_r) を要し、かつゲート信号線に選択信号が入力された後ゲート信号線が所望の電位に到達するまでには立ち下がり時間 (T_s) を要する。しかし、本発明を用いることによってゲート信号線の電位の立ち上がり時間 (T_r) および立ち下がり時間 (T_s) を考慮した選択信号の入力を行うことができる。つまり、ゲート信号線 G1L の選択信号による電位が十分に立ち下がった後に、ゲート信号線 G2L の選択信号による電位が十分に立ち上がるようにしている。

【0046】

また、画素の TFT の動作速度が遅くても液晶および保持容量にビデオ信号を十分に書き込むだけの時間を稼ぐことができる。

【0047】

さらに、画素の保持容量に対する書き込み期間－保持期間における比（保持期間／書き込み期間）を従来よりも低くできるので、画素の TFT の ON-OFF 比に対する要求が緩和される。

【0048】

ここで、本発明の構成を以下に記載する。

【0049】

本願の請求項1に係る発明は、

TFT を有する ($m \times 2n$) 個の画素がマトリクス状に配置された画素部と (m 、 n はともに自然数)、

$2n$ 本のソース信号線 S_1 、 S_2 、 \dots 、 S_n 、 S_{n+1} 、 S_{n+2} 、 \dots

、 S_{2n} にビデオ信号を供給するソースドライバと、

m本の第1のゲート信号線G1L、G2L、・・・、GmLに選択信号を供給する第1のゲートドライバと、

m本の第2のゲート信号線G1R、G2R、・・・、GmRに選択信号を供給する第1のゲートドライバと、

を有する液晶表示装置であって、

前記ソース信号線S1、S2、・・・、Snに接続された前記画素は、前記第1のゲート信号線G1L、G2L、・・・、GmLから選択信号を供給され、

前記ソース信号線Sn+1、Sn+2、・・・、S2nに接続された前記画素は、前記第2のゲート信号線G1R、G2R、・・・、GmRから選択信号を供給され、

前記第1のゲート信号線G1Lに選択信号が供給されている間に、前記第2のゲート信号線G1Rに選択信号が供給され始め、

前記第2のゲート信号線G1Rに選択信号が供給されている間に、前記第1のゲート信号線G1Lに選択信号が供給され始めることを特徴とする液晶表示装置である。

【0050】

また、本願の請求項2に係る発明は、

TFTを有する($m \times 2n$)個の画素がマトリクス状に配置された画素部と(m 、 n はともに自然数)、

2n本のソース信号線S1、S2、・・・、Sn、Sn+1、Sn+2、・・・、S2nにビデオ信号を供給するソースドライバと、

m本の第1のゲート信号線G1L、G2L、・・・、GmLに選択信号を供給する第1のゲートドライバと、

m本の第2のゲート信号線G1R、G2R、・・・、GmRに選択信号を供給する第1のゲートドライバと、

を有する液晶表示装置であって、

前記ソース信号線S1、S2、・・・、Snに接続された前記画素は、前記第1のゲート信号線G1L、G2L、・・・、GmLから選択信号を供給され、

前記ソース信号線Sn+1、Sn+2、・・・、S2nに接続された前記画素

は、前記第 2 のゲート信号線 G 1 R、G 2 R、・・・、G m R から選択信号を供給され、

前記選択信号は、前記第 1 のゲート信号線 G 1 L、前記第 2 のゲート信号線 G 1 R、前記第 1 のゲート信号線 G 2 L、前記第 2 のゲート信号線 G 2 R、・・・、前記第 1 のゲート信号線 G m L、前記第 2 のゲート信号線 G m R の順に半周期づつ遅れながら順に供給されることを特徴とする液晶表示装置である。

【0051】

ここで、以下に本発明の実施の形態について説明する。

【0052】

【発明の実施の形態】

ここで、本発明の実施の形態について説明する。

【0053】

図 3 を参照する。図 3 に本発明の液晶表示装置 2 0 0 0 の概略構成図を示す。図 2 において、2 1 0 0 はソースドライバ、2 2 0 0 はゲートドライバ L、2 3 0 0 はゲートドライバ R、2 4 0 0 は画素部である。図 4 に示す様にソースドライバ 2 1 0 0 は、シフトレジスタ回路 2 1 1 0、レベルシフタ回路 2 1 2 0、バッファ回路 2 1 3 0、サンプリング回路 2 1 4 0 を含む。ゲートドライバ L 2 2 0 0 は、シフトレジスタ回路 2 2 1 0、レベルシフタ回路 2 2 2 0 およびバッファ回路 2 2 3 0 を含む。ゲートドライバ R 2 3 0 0 は、シフトレジスタ回路 2 3 1 0、レベルシフタ回路 2 3 2 0 およびバッファ回路 2 3 3 0 を含む。画素部 2 4 0 0 は、複数の TFT 2 4 0 1 がマトリクス状に配置された回路である。説明の便宜上、各画素には (1, 1) ~ (4 8 0, 6 4 0) という符号が付けられている。

【0054】

ゲートドライバ L 2 2 0 0 はゲート信号線 G 1 L、G 2 L、・・・、G 4 8 0 L に選択信号を供給する。ゲート信号線 G 1 L は画素 (1, 1)、画素 (1, 2)、・・・、画素 (1, 3 1 9) および画素 (1, 3 2 0) の TFT のゲート電極に接続されている。ゲート信号線 G 2 L は画素 (2, 1)、画素 (2, 2)、・・・、画素 (2, 3 1 9) および画素 (2, 3 2 0) の TFT のゲート電極に

接続されている。ゲート信号線G480Lは画素(480、1)、画素(480、2)、・・・、画素(480、319)および画素(480、320)のTFTのゲート電極に接続されている。図示されていないゲート信号線G3L～G479Lも同様にTFTのゲート電極に接続されている。

【0055】

ゲートドライバR2300はゲート信号線G1R、G2R、・・・、G479およびG480Rに選択信号を供給する。ゲート信号線G1Rは画素(1、321)、画素(1、322)、・・・、画素(1、639)および画素(1、640)のTFTのゲート電極に接続されている。ゲート信号線G2Rは画素(2、321)、画素(2、322)、・・・、画素(2、639)および画素(2、640)のTFTのゲート電極に接続されている。ゲート信号線G480Rは画素(480、321)、画素(480、322)、・・・、画素(480、639)および画素(480、640)のTFTのゲート電極に接続されている。図示されていないゲート信号線G3R～G479Rも同様にTFTのゲート電極に接続されている。

【0056】

なお、ゲートドライバL2200のゲート信号線G1LとゲートドライバR2300のゲート信号線G1Rとは接続されていない。また、ゲート信号線G2Lとゲート信号線G2Rとは接続されていない。また、ゲート信号線G480Lとゲート信号線G480Rとは接続されていない。図示されていないゲート信号線G3L～G479LおよびG3L～G479Lも同様である。

【0057】

ソースドライバ2100はソース信号線S1、S2、・・・、S639およびS640にビデオ信号を供給する。ソース信号線S1は画素(1、1)、画素(2、1)、画素(3、1)、・・・、画素(479、1)および画素(480、1)のTFTのソース電極に接続されている。ソース信号線S2は画素(1、2)、画素(2、2)、画素(3、2)、・・・、画素(479、2)および画素(480、2)のTFTのソース電極に接続されている。また、ソース信号線S640は画素(1、640)、画素(2、640)、画素(3、640)、・・・

・、画素(479、640)および画素(480、640)のTFTのソース電極に接続されている。図示されていないソース信号線S3～S479も同様の接続構造を有する。

【0058】

なお、なお、ここでは説明の簡略化のため本発明を(480×640)個の画素によって構成されている画素部を有する液晶表示装置を例にとって説明している。しかし、本発明によって($m \times 2n$)個の画素によって構成されている画素部を有する液晶表示装置が提供され得る(m 、 n は共に正の整数)。なお、($m \times 2n$)個の画素によって構成されている画素部を有する液晶表示装置の例およびその動作タイミングチャートを図6および図7に示す。

【0059】

図3に示した本発明のアクティブマトリクス型液晶表示装置においては、ソースドライバ2100へはクロック信号(CK)、クロック信号とは逆位相であるクロックバック信号(CLKB)、スタートパルス(SP)およびビデオ信号(VIDEO)等が外部から入力され、ゲートドライバL2200およびゲートドライバRへはクロック信号(CK)、クロックバック信号(CLKB)およびスタートパルス(SP)等が外部から入力される。

【0060】

次に図5を参照する。図5には、本発明の液晶表示装置の動作タイミングチャートが示されている。図2に示すビデオ信号(VIDEO)には、各画素へ供給する画像信号に対応した符号が付けられている。

【0061】

各信号の流れを以下に説明する。

【0062】

まず、ゲート信号線G1Lに選択信号が入力される。ゲート信号線G1Lに選択信号が入力されると、ゲート信号線G1Lに接続されている画素(1、1)、画素(1、2)、・・・、画素(1、479)および画素(1、480)のTFTのゲート電極に選択信号が印加される。

【0063】

ゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})にソース信号線S 1～S 320にビデオ信号(V I D E O)が順に入力される。つまり、ゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})に、ソース信号線S 1にビデオ信号(1, 1)が入力され画素(1, 1)の液晶および保持容量にビデオ信号(1, 1)が書き込まれ、次にソース信号線S 2にビデオ信号(1, 2)が入力され画素(1, 2)の液晶および保持容量にビデオ信号(1, 2)が書き込まれ、次々にソース信号線にビデオ信号が書き込まれていく。そして、ソース信号線S 320にビデオ信号(1, 320)が入力され画素(1, 320)の液晶および保持容量にビデオ信号(1, 320)が書き込まれゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})が終了する。

【0064】

ゲート信号線G 1 Lに選択信号入力開始後のハーフライン期間(T_{HL})終了後、ゲート信号線G 1 Rに選択信号が入力される。ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})にソース信号線S 321～S 640にビデオ信号(V I D E O)が入力される。つまり、ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})に、ソース信号線S 321にビデオ信号(1, 321)が入力され画素(1, 321)の液晶および保持容量にビデオ信号(1, 321)が書き込まれ、次にソース信号線S 322にビデオ信号(1, 322)が入力され画素(1, 322)の液晶および保持容量にビデオ信号(1, 322)が書き込まれ、次々にソース信号線にビデオ信号が書き込まれていく。そして、ソース信号線S 640にビデオ信号(1, 640)が入力され画素(1, 640)の液晶および保持容量にビデオ信号(1, 640)が書き込まれゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})が終了する。

【0065】

なお、ゲート信号線G 1 Rに選択信号入力開始後のハーフライン期間(T_{HL})には、依然としてゲート信号線G 1 Lに選択信号が入力され続け、画素(1, 1)、画素(1, 2)、・・・、画素(1, 319)および画素(1, 320)のT F Tのゲート電極には選択信号が印加され続ける。

【0066】

ゲート信号線G1Rに選択信号入力開始後のハーフライン期間(T_{HL})終了後、ゲート信号線G2Lに選択信号が入力される。ゲート信号線G2Lに選択信号入力開始後のハーフライン期間(T_{HL})にソース信号線S1～S320にビデオ信号(VIDEO)が入力される。つまり、ゲート信号線G2Lに選択信号入力開始後のハーフライン期間(T_{HL})に、ソース信号線S1にビデオ信号(2, 1)が入力され画素(2, 1)の液晶および保持容量にビデオ信号(2, 1)が書き込まれ、次にソース信号線S2にビデオ信号(2, 2)が入力され画素(2, 2)の液晶および保持容量にビデオ信号(2, 2)が書き込まれ、次々にソース信号線にビデオ信号が書き込まれていく。そして、ソース信号線S320にビデオ信号(2, 320)が入力され画素(2, 320)の液晶および保持容量にビデオ信号(2, 320)が書き込まれゲート信号線G2Lに選択信号入力開始後のハーフライン期間(T_{HL})が終了する。

【0067】

なお、ゲート信号線G2Lに選択信号入力開始後のハーフライン期間(T_{HL})には、依然としてゲート信号線G1Rに選択信号が入力され続け、画素(1, 321)、画素(1, 322)、・・・、画素(1, 639)および画素(1, 640)のTFTのゲート電極には選択信号が印加され続ける。

【0068】

以下に本発明の実施例について説明する。

【0069】

【実施例】

【0070】

(実施例1)

本実施例においては、本発明の駆動回路を有する液晶表示装置の作製方法例を図8～図12を用いて説明する。本実施例の液晶表示装置においては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素TFTと駆動回路の一部を構成するNchTFTとインバータ回路を構成するPchTFTおよびNchTFTとが同一基板上に形成されるこ

とを示すものとする。

【0071】

図8(A)において、基板6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFT形成表面には、基板6001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜6002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を100nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0072】

次に、20～150nm（好ましくは30～80nm）の厚さで非晶質構造を有する半導体膜6003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を54nmの厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜6002と非晶質シリコン膜6003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる（図8(A)）。

【0073】

そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると

原子の再配列が起こり緻密化するのので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では54 nm）よりも1～15%程度減少する（図8（B））。

【0074】

そして、結晶質シリコン膜6003bを島状にパターンニングして、島状半導体層6004～6007を形成する。その後、プラズマCVD法またはスパッタ法により50～150 nmの厚さの酸化シリコン膜によるマスク層6008を形成する（図8（C））。本実施例では、マスク層6008の厚さは130 nmとする。

【0075】

そしてレジストマスク6009を設け、nチャネル型TFTを形成することとなる島状半導体層6004～6007の全面に $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン（B）を添加する。このボロン（B）の添加は、しきい値電圧を制御する目的でなされる。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときと同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要ではない（図8（D））。

【0076】

ドライバ等の駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010～6012に選択的に添加する。そのため、あらかじめレジストマスク6013～6016を形成する。n型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用した。形成された不純物領域6017、6018のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017～6019に含まれるn型を付与する不純物元素の濃度を（ n^- ）と表す。また、不純物領域6019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加する（図9（A））。その後、レジストマスク6013～6016を除去する。

【0077】

次に、マスク層6008をフッ酸などにより除去した後、図8(D)と図9(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光(波長248nm)を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0078】

そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図9(B))。

【0079】

次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)6021と金属膜から成る導電層(B)6022とを積層させる。導電層(B)6022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜またはMo-Ta合金膜)で形成すれば良く、導電層(A)6021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)6022は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度

に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができる。

【0080】

導電層(A)6021は10~50nm(好ましくは20~30nm)とし、導電層(B)6022は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)6021に50nmの厚さの窒化タantal膜を、導電層(B)6022には350nmのTa膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)6021の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる(図9(C))。

【0081】

次に、レジストマスク6023~6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層(A)から成る6028a~6032aと、導電層(B)から成る6028b~6032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTFTのゲート電極6028~6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する(図9(D))。

【0082】

次いで、ドライバのPチャネル型TFTのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTが形成される領域はレジストマスク6033で被覆して

おく。そして、ジボラン (B_2H_6) を用いたイオンドーブ法で不純物領域 6034 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域 6034 に含まれる P 型を付与する不純物元素の濃度を (p^{++}) と表す (図 10 (A))。

【0083】

次に、N チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 6035～6037 を形成し、N 型を付与する不純物元素が添加して不純物領域 6038～6042 を形成した。これは、フォスフィン (PH_3) を用いたイオンドーブ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 6038～6042 に含まれる N 型を付与する不純物元素の濃度を (n^+) と表す (図 10 (B))。

【0084】

不純物領域 6038～6042 には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 6038 に添加されたリン (P) 濃度は図 10 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なので p 型の導電性が確保され、TFT の特性に何ら影響を与えることはなかった。

【0085】

そして、画素部の n チャネル型 TFT の LDD 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 6031 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドーブ法で添加する。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図 9 (A) および図 10 (A) と図 10 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 6043、6044 のみが形成される。本明細書中では、この不純物領域 6043、6044 に含まれる n 型を付与する不純物元素の濃度を (n^{--}) と表す (図 10 (C))。

【0086】

ここで、ゲート電極のTaのピーリングを防止するために層間膜としてSiON膜等を200nmの厚さで形成しても良い。

【0087】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーンেসアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極のTaのピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

【0088】

この熱処理において、ゲート電極6028~6031と容量配線6032形成する金属膜6028b~6032bは、表面から5~80nmの厚さでその表面に導電層(C)6028c~6032cが形成される。例えば、導電層(B)6028b~6032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)6028c~6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028~6031及び容量配線6032を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0089】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。ゲッタリングに必要なリン(P)の濃度は図10(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャンネル型TFTおよびpチャンネル型TFTのチャンネル形成領域から触媒元素をゲッタリングをすることができた(図10(D))。

【0090】

第1の層間絶縁膜6045は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6046~6049と、ドレイン配線6050~6053を形成する(図11(A))。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜500nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0091】

次に、パッシベーション膜6054として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。本実施例においては、パッシベーション膜6054は窒化シリコン膜50nmと酸化シリコン膜24.5nmとの積層膜とした。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6054に開口部を形成しておいても良い(図11(A))。

【0092】

その後、有機樹脂からなる第2層間絶縁膜6055を1.0～1.5 μ mの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250℃で焼成して形成する（図11（B））。

【0093】

本実施例ではブラックマトリクスは、Ti膜を100nmに形成し、その後AlとTiの合金膜を300nmに形成した積層構造とする。

【0094】

その後、有機樹脂からなる第3層間絶縁膜6059を1.0～1.5 μ mの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0095】

そして、第2層間絶縁膜6055および第3層間絶縁膜6059にドレイン配線6053に達するコンタクトホールを形成し、画素電極6060を形成する。本発明の透過型液晶表示装置においては、画素電極6060にはITO等の透明導電膜を用いる。（図11（B））。

【0096】

こうして同一基板上に、駆動回路TFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成されている（図12）。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0097】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶表示装置を作製する工程を説明する。

【0098】

図12の状態のアクティブマトリクス基板に配向膜6061を形成する。本実

施例では、配向膜 6061 にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板 6062、透明導電膜からなる対向電極 6063、配向膜 6064 とで構成される。

【0099】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0100】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 6065 を注入し、封止剤（図示せず）によって完全に封止する。よって、図 12 に示すような透過型液晶表示装置が完成する。

【0101】

なお本実施例では、透過型液晶表示装置が TN（ツイスト）モードによって表示を行うようにした。そのため、偏光板（図示せず）が透過型液晶表示装置の上部に配置された。

【0102】

駆動回路の p チャネル型 TFT 6101 には、島状半導体層 6004 にチャネル形成領域 806、ソース領域 807a、807b、ドレイン領域 808a、808b を有している。第 1 の n チャネル型 TFT 6102 には、島状半導体層 6005 にチャネル形成領域 809、ゲート電極 6071 と重なる LDD 領域 810（以降、このような LDD 領域を Lov と記す）、ソース領域 811、ドレイン領域 812 を有している。この Lov 領域のチャネル長方向の長さは 0.5～3.0 μm、好ましくは 1.0～1.5 μm とした。第 2 の n チャネル型 TFT 6103 には、島状半導体層 6006 にチャネル形成領域 813、LDD 領域 814、815、ソース領域 816、ドレイン領域 817 を有している。この LDD 領域は Lov 領域とゲート電極 6072 と重ならない LDD 領域（以降、このような LDD 領域を Loff と記す）とが形成され、この Loff 領域のチャネル長方向の長

さは0.3~2.0 μ m、好ましくは0.5~1.5 μ mである。画素TFT6104には、島状半導体層6007にチャネル形成領域818、819、Loff領域820~823、ソースまたはドレイン領域824~826を有している。Loff領域のチャネル長方向の長さは0.5~3.0 μ m、好ましくは1.5~2.5 μ mである。また、画素TFT6104のチャネル形成領域818、819と画素TFTのLDD領域であるLoff領域820~823との間には、オフセット領域（図示せず）が形成されている。さらに、容量配線6074と、ゲート絶縁膜6020から成る絶縁膜と、画素TFT6073のドレイン領域826に接続し、n型を付与する不純物元素が添加された半導体層827とから保持容量805が形成されている。図12では画素TFT804をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0103】

以上の様に本実施例においては、画素TFTおよびドライバが要求する仕様に応じて各回路を構成するTFTの構造を最適化し、液晶表示装置の動作性能と信頼性を向上させることを可能とすることができる。

【0104】

なお、本実施例においては透過型の液晶表示装置について説明した。しかし、本発明の液晶表示装置は、これに限定されるわけではなく、反射型の液晶表示装置にも用いることができる。

【0105】

（実施例2）

【0106】

本実施例では、本発明の液晶表示装置を逆スタガ型のTFTを用いて構成した例を示す。

【0107】

図13を参照する。図13には、本実施例の液晶表示装置を構成する逆スタガ型のNチャネル型TFTの断面図が示されている。なお、図13には、1つのNチャネル型TFTしか図示しないが、Pチャネル型TFTとNチャネル型TFT

とによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成できることも言うまでもない。

【0108】

図13(A)を参照する。4001は基板であり、実施例4で説明したようなものが用いられる。4002は酸化シリコン膜である。4003はゲート電極である。4004はゲイト絶縁膜である。4005、4006、4007および4008は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例4で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、4005はソース領域、4006はドレイン領域、4007は低濃度不純物領域（LDD領域）、4008はチャネル形成領域である。4009はチャネル保護膜であり、3010は層間絶縁膜である。4011および4012はそれぞれ、ソース電極、ドレイン電極である。

【0109】

次に、図13(B)を参照する。図13(B)には図13(A)とは構成が異なる逆スタガ型のTFTによって液晶表示装置が構成された場合について説明する。

【0110】

図13(B)においても、1つのNチャネル型TFTしか図示しないが、上述のようにPチャネル型TFTとNチャネル型TFTとによってCMOS回路を構成することもできるのは言うまでもない。また、同様の構成により画素TFTを構成できることも言うまでもない。

【0111】

4101は基板である。4102は酸化シリコン膜である。4103はゲイト電極である。4104はベンゾジクロブテン（BCB）膜であり、その上面が平坦化される。4105は窒化シリコン膜である。BCB膜と窒化シリコン膜とでゲイト絶縁膜を構成する。4106、4107、4108および4109は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例

1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、4106はソース領域、4107はレイン領域、4108は低濃度不純物領域（LDD領域）、4109はチャンネル形成領域である。4110はチャンネル保護膜であり、4111は層間絶縁膜である。4112および4113はそれぞれ、ソース電極、ドレイン電極である。

【0112】

本実施例によると、BCB膜と窒化シリコン膜とで構成されるゲート絶縁膜が平坦化されているので、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型のTFTよりも均一な多結晶シリコン膜を得ることができる。

【0113】

（実施例3）

【0114】

上述の本発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0115】

等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶（FLC）を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図14に示す。図14に示すような強誘電

性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図14に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。

「Half-V字スイッチングモード」については、寺田らの”Half-V字スイッチングモードFLCD”、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの”強誘電性液晶による時分割フルカラーLCD”、液晶第3巻第3号第190頁に詳しい。

【0116】

図14に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0117】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶（AFLC）という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

【0118】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0119】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0120】

（実施例4）

【0121】

本発明の液晶表示装置は、様々な電子機器に組み込んで用いることができる。

【0122】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図15および図16に示す。

【0123】

図15（A）はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図15（A）には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0124】

図15（B）はリア型プロジェクターであり、10006は本体、10007は本発明の液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図15（B）には、液晶表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだリア型プロジェクターが示されている。また、本発明の液晶表示装置を1個組み込んだリア型プロジェクタも提供することができる。

【0125】

図16（A）はパーソナルコンピュータであり、本体7001、映像入力部7002、本発明の液晶表示装置7003、キーボード7004で構成される。

【0126】

図16（B）はビデオカメラであり、本体7101、本発明の液晶表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。

【0127】

図16（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体

7201、カメラ部7202、受像部7203、操作スイッチ7204、本発明の液晶表示装置7205で構成される。

【0128】

図16(D)はゴーグル型ディスプレイであり、本体7301、本発明の液晶表示装置7302、アーム部7303で構成される。

【0129】

図16(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体7401、本発明の液晶表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0130】

図17は、本発明の液晶表示装置を用いたディスプレイ装置である。7501は本体、7502は本発明の液晶表示装置である。

【0131】

以上の様に、本発明の液晶表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用できる。

【0132】

【発明の効果】

【0133】

本発明の液晶表示装置においては、ソース信号線にビデオ信号が入力された後もゲート信号線に選択信号が入力されるので、ゲート信号線およびソース信号線の負荷容量が大きい場合でも液晶および保持容量にビデオ信号を十分に書き込むだけの時間を稼ぐことができる。また、画素のTFTの動作速度が遅くても液晶および保持容量にビデオ信号を十分に書き込むだけの時間を稼ぐことができる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶表示装置の駆動タイミングチャートである。

- 【図 3】 本発明の液晶表示装置の概略構成図である。
- 【図 4】 本発明の液晶表示装置の概略構成を示すブロック図である。
- 【図 5】 本発明の液晶表示装置の駆動タイミングチャートである。
- 【図 6】 本発明の液晶表示装置の概略構成を示すブロック図である。
- 【図 7】 本発明の液晶表示装置の駆動タイミングチャートである。
- 【図 8】 本発明の駆動回路を用いた液晶表示装置の作製工程例を示す図である。

- 【図 9】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 10】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 11】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 12】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 13】 本発明の液晶表示装置の断面図である。
- 【図 14】 H a l f - V 字型の電気光学特性を示す強誘電性液晶の印加電圧 - 透過率特性を示すグラフである。

- 【図 15】 本発明の液晶表示装置を組み込んだ電子機器の例である。
- 【図 16】 本発明の液晶表示装置を組み込んだ電子機器の例である。
- 【図 17】 従来の液晶表示装置の概略構成図である。
- 【図 18】 従来の液晶表示装置の駆動タイミングチャートである。
- 【図 19】 本発明の液晶表示装置の駆動タイミングチャートである。

【符号の説明】

- 1 0 0 0 液晶表示装置
- 1 1 0 0 ソースドライバ
- 1 2 0 0 ゲートドライバ L
- 1 3 0 0 ゲートドライバ R
- 1 4 0 0 画素部
- 1 4 0 1 T F T
- 1 4 0 3 保持容量
- 1 4 0 4 液晶
- S 1、S 2、S 3、S 4 ソース信号線

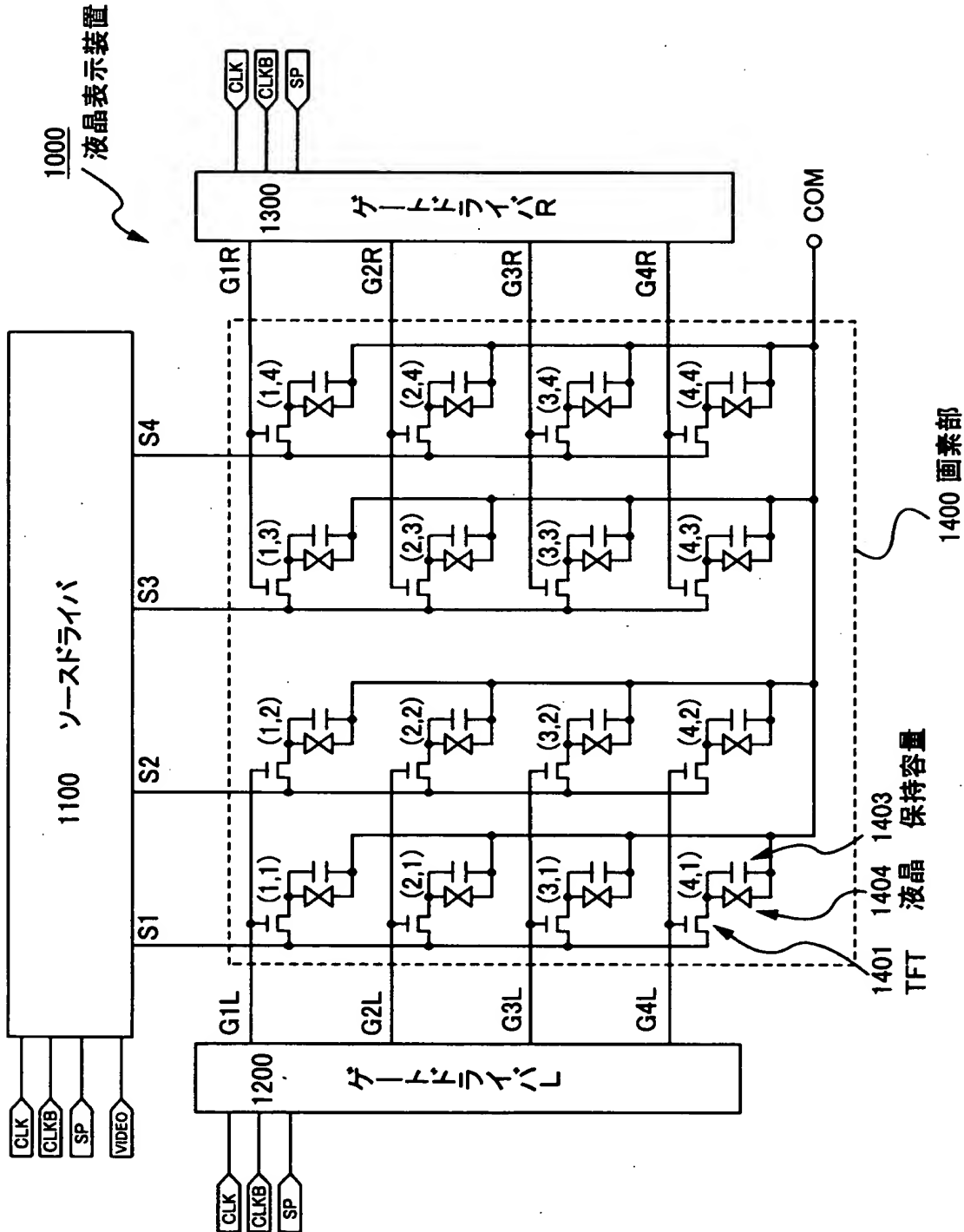
G1L、G2L、G3L、G4L ゲート信号線

G1R、G2R、G3R、G4R ゲート信号線

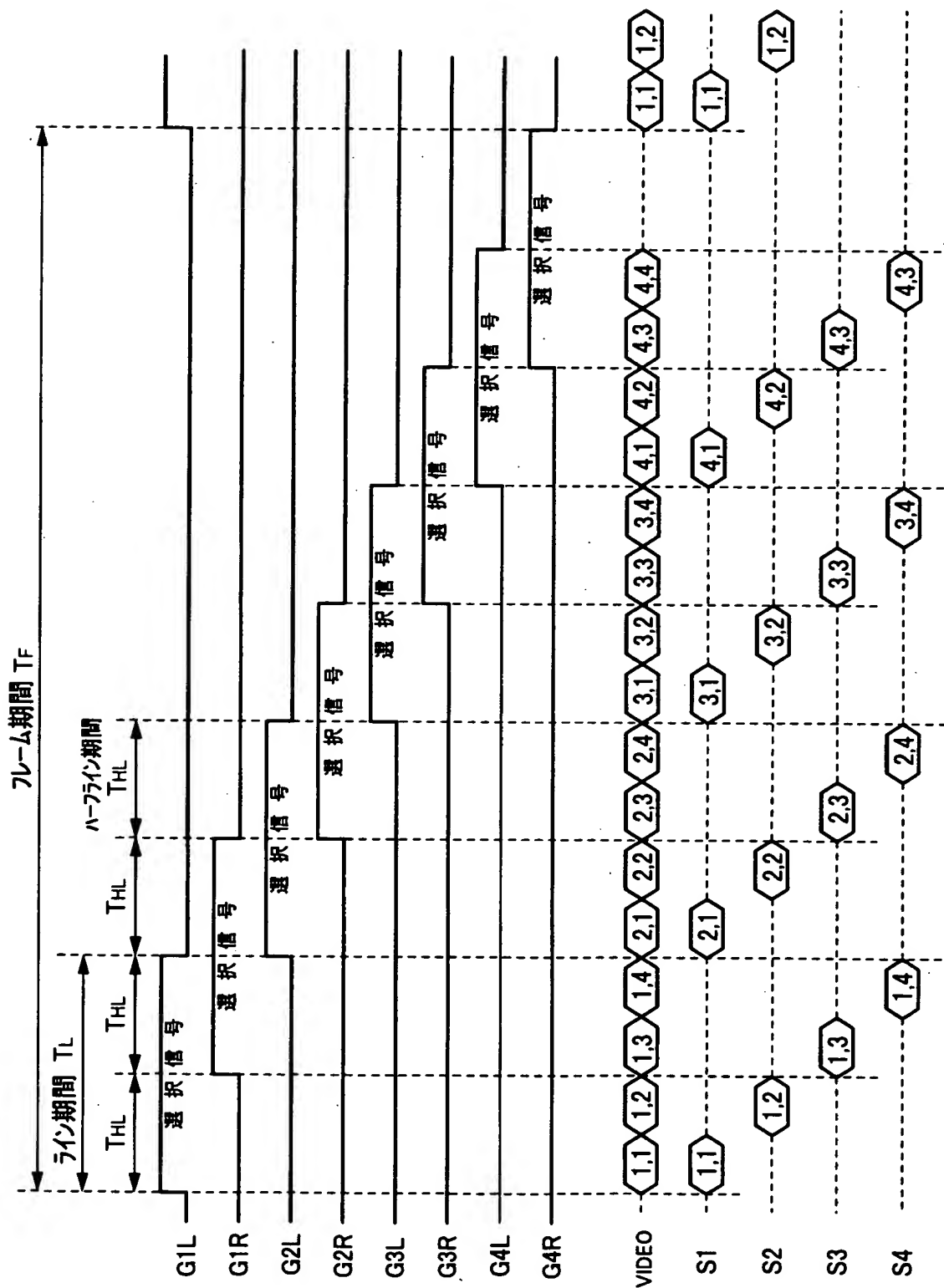
【書類名】

図面

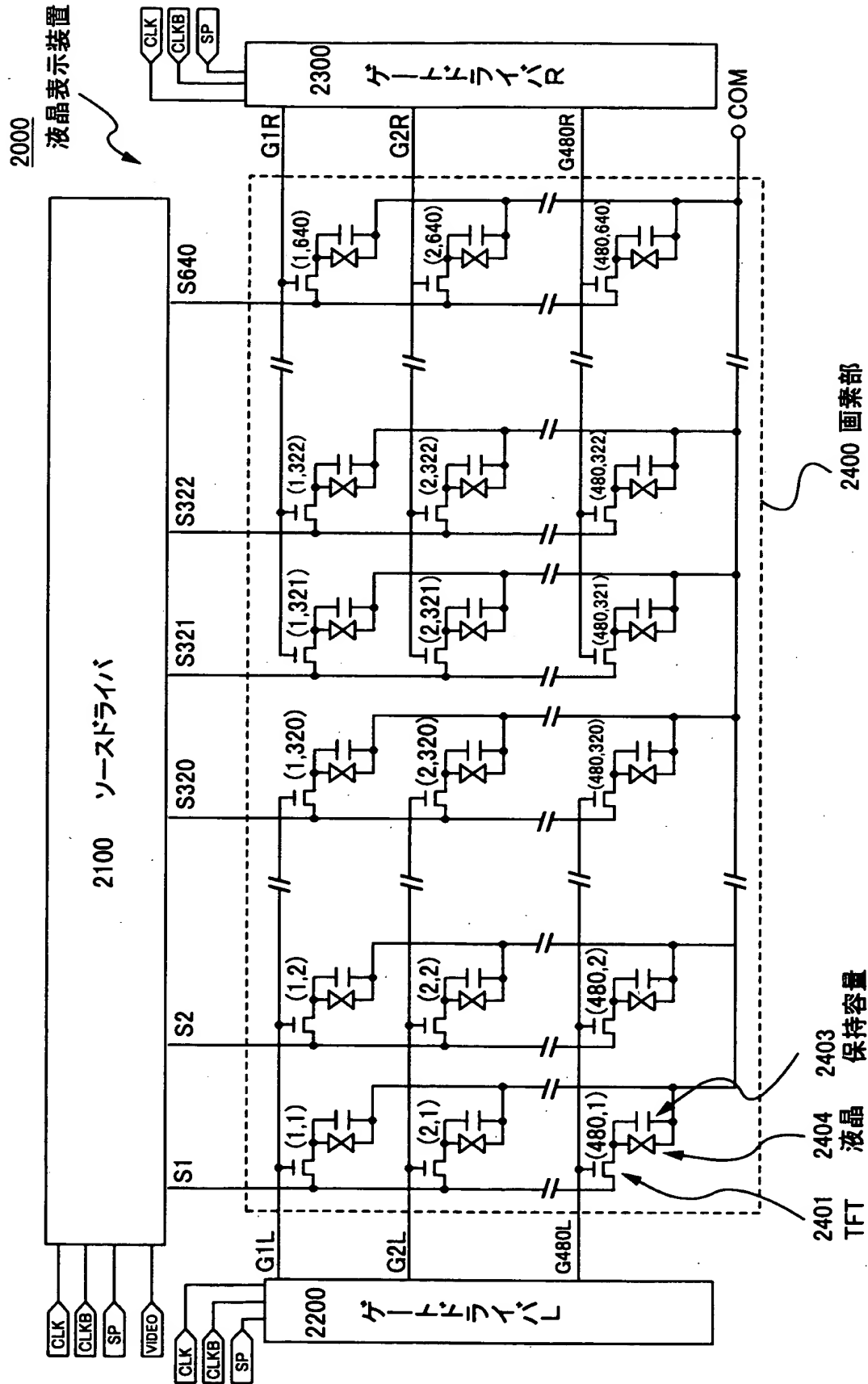
【図 1】



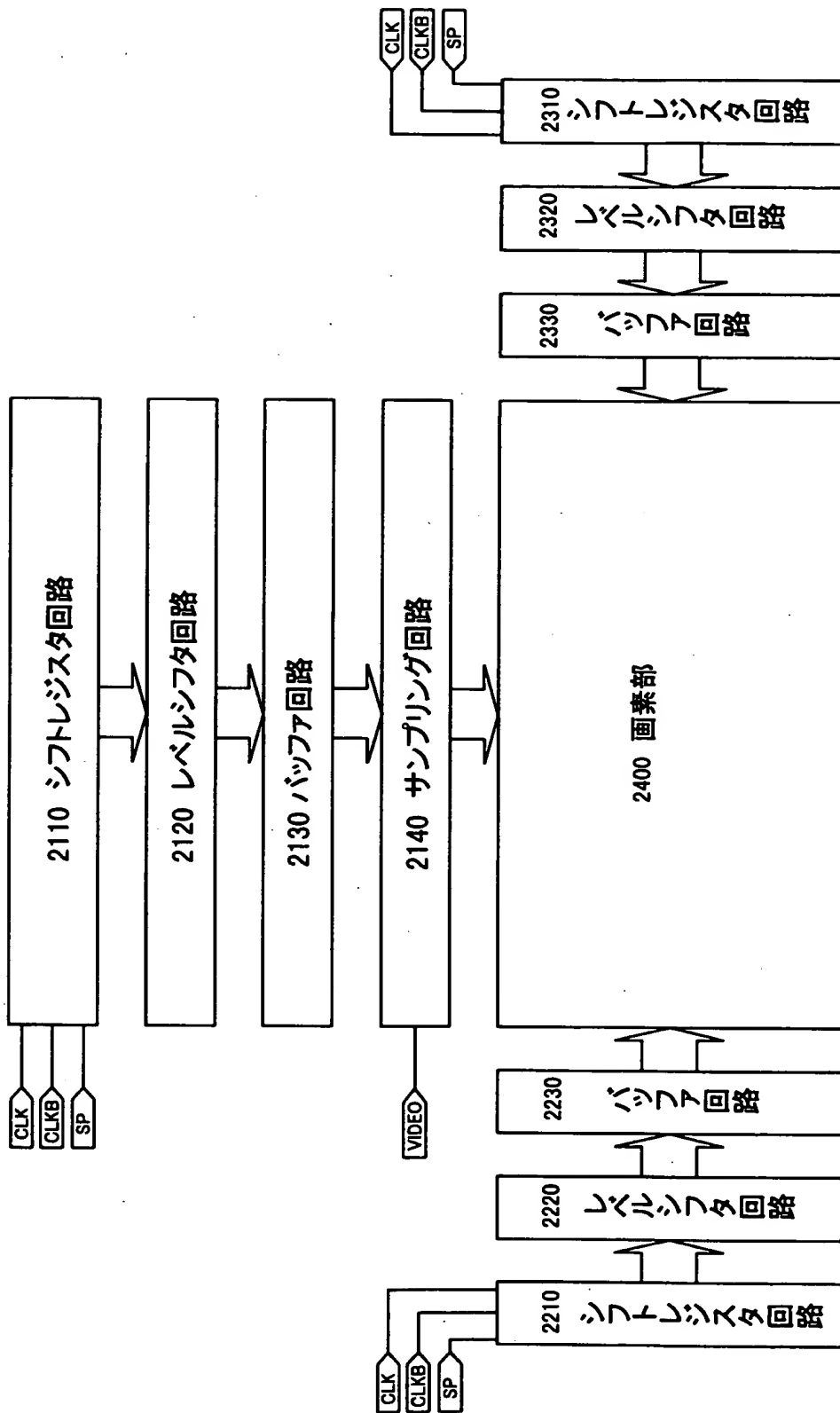
【図 2】



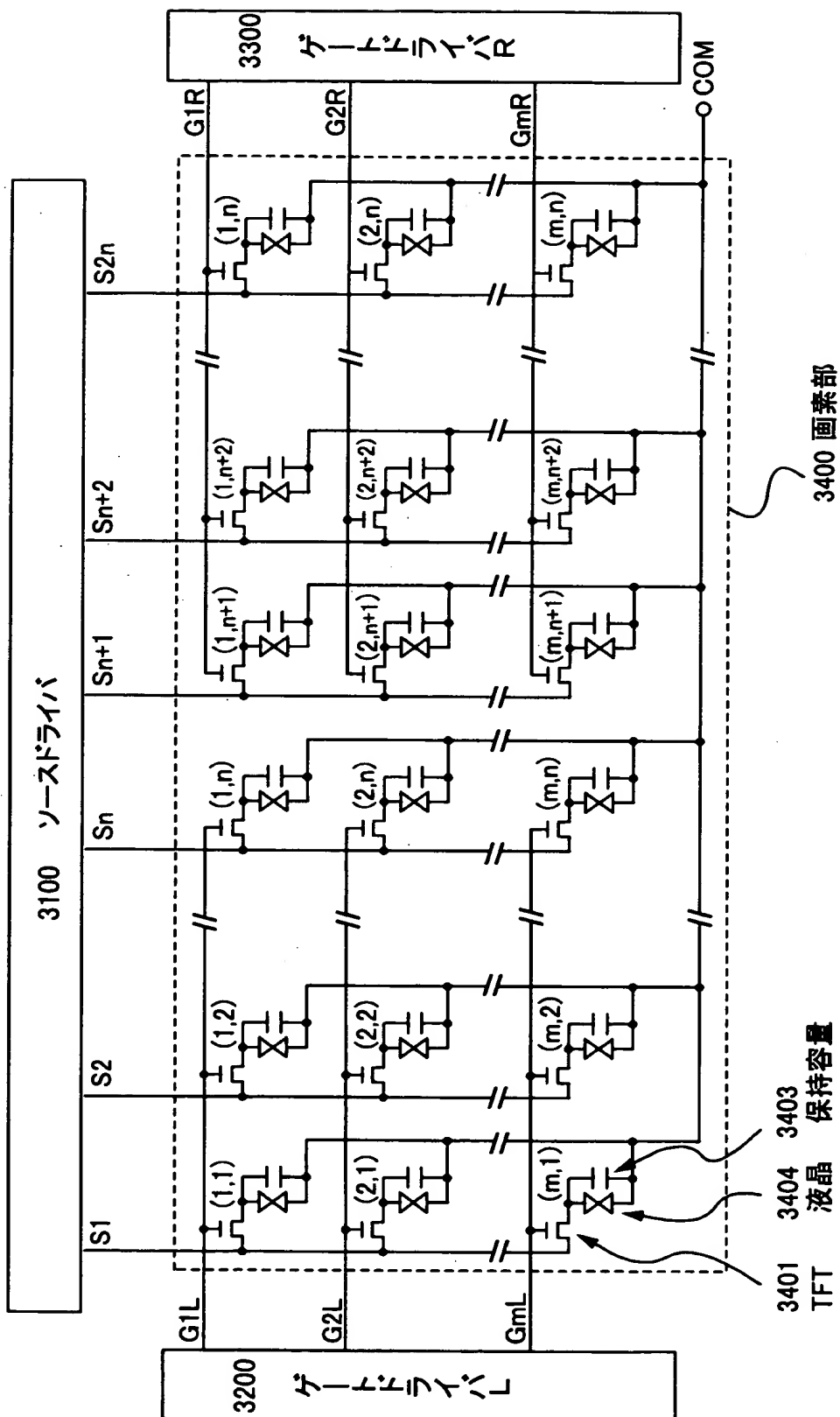
【図 3】



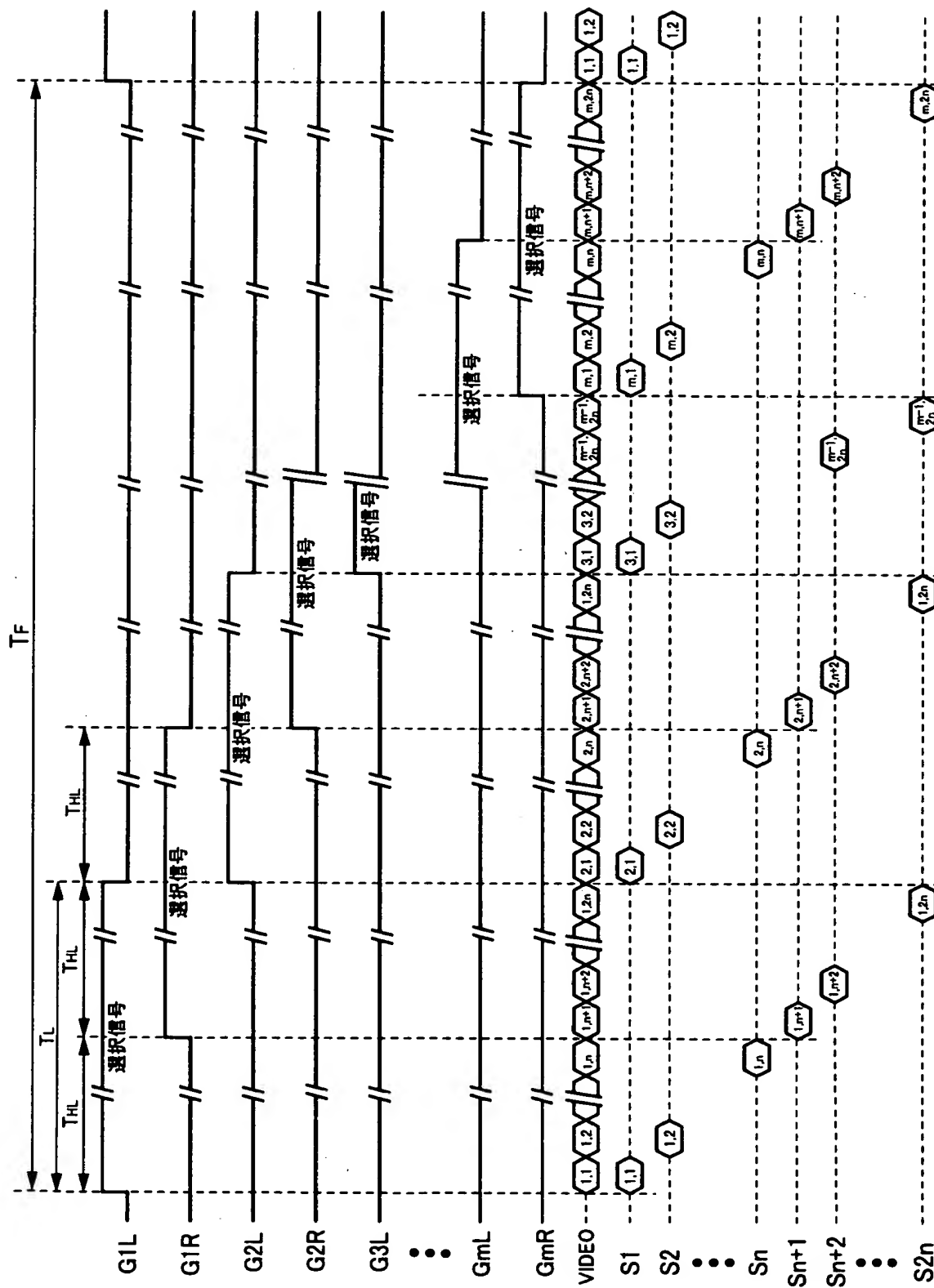
【図 4】



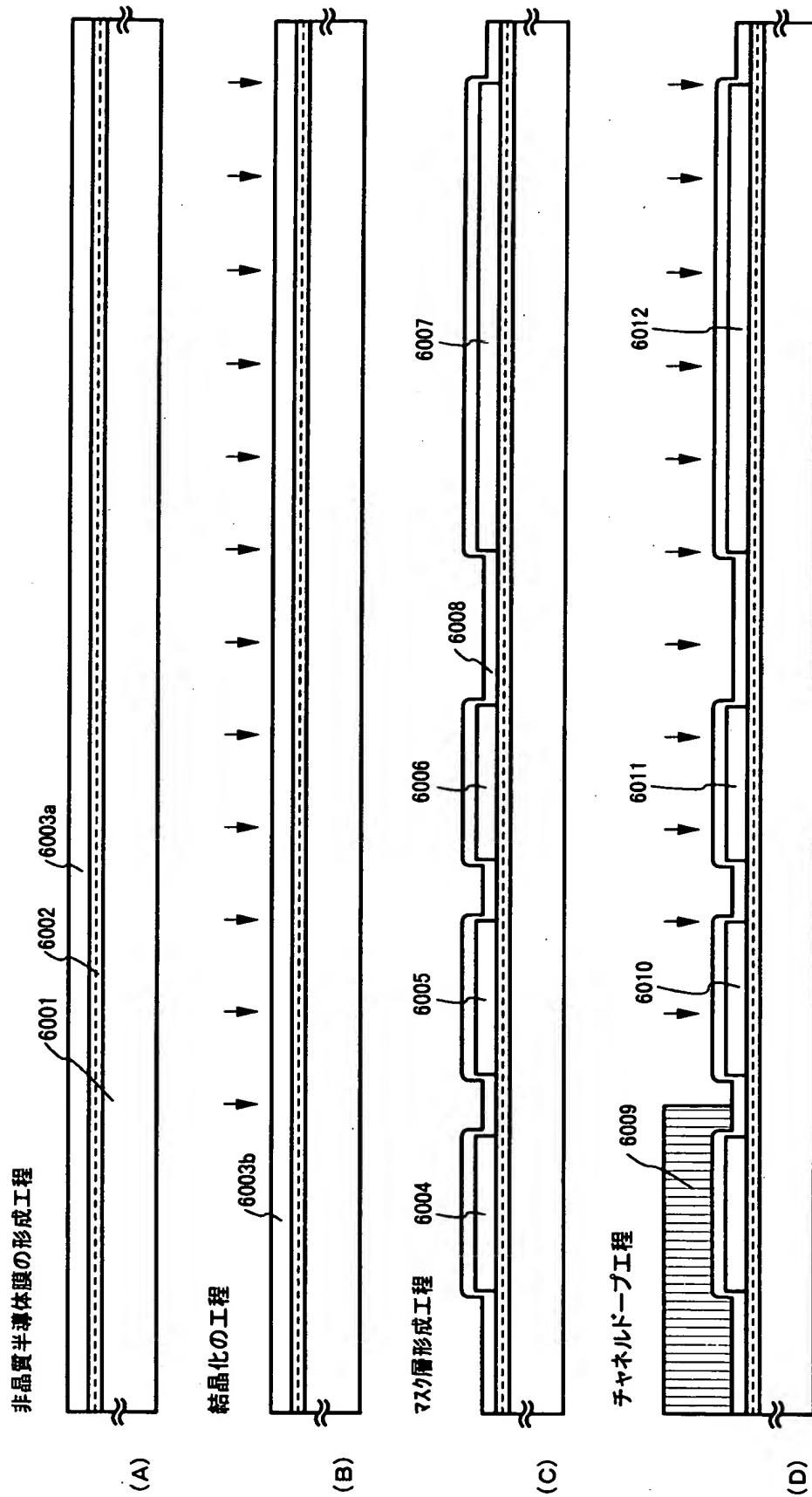
【图 6】



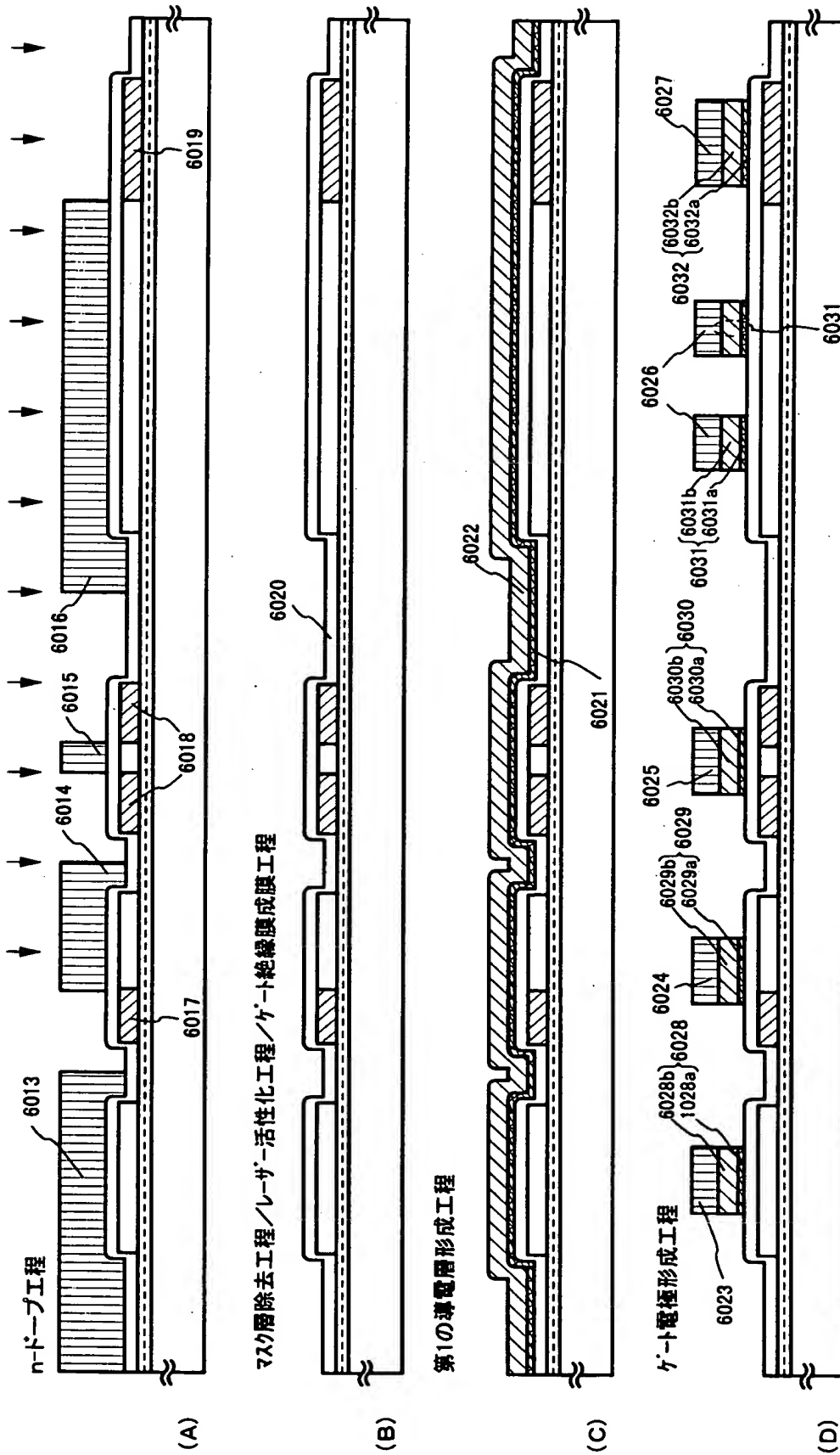
【图 7】



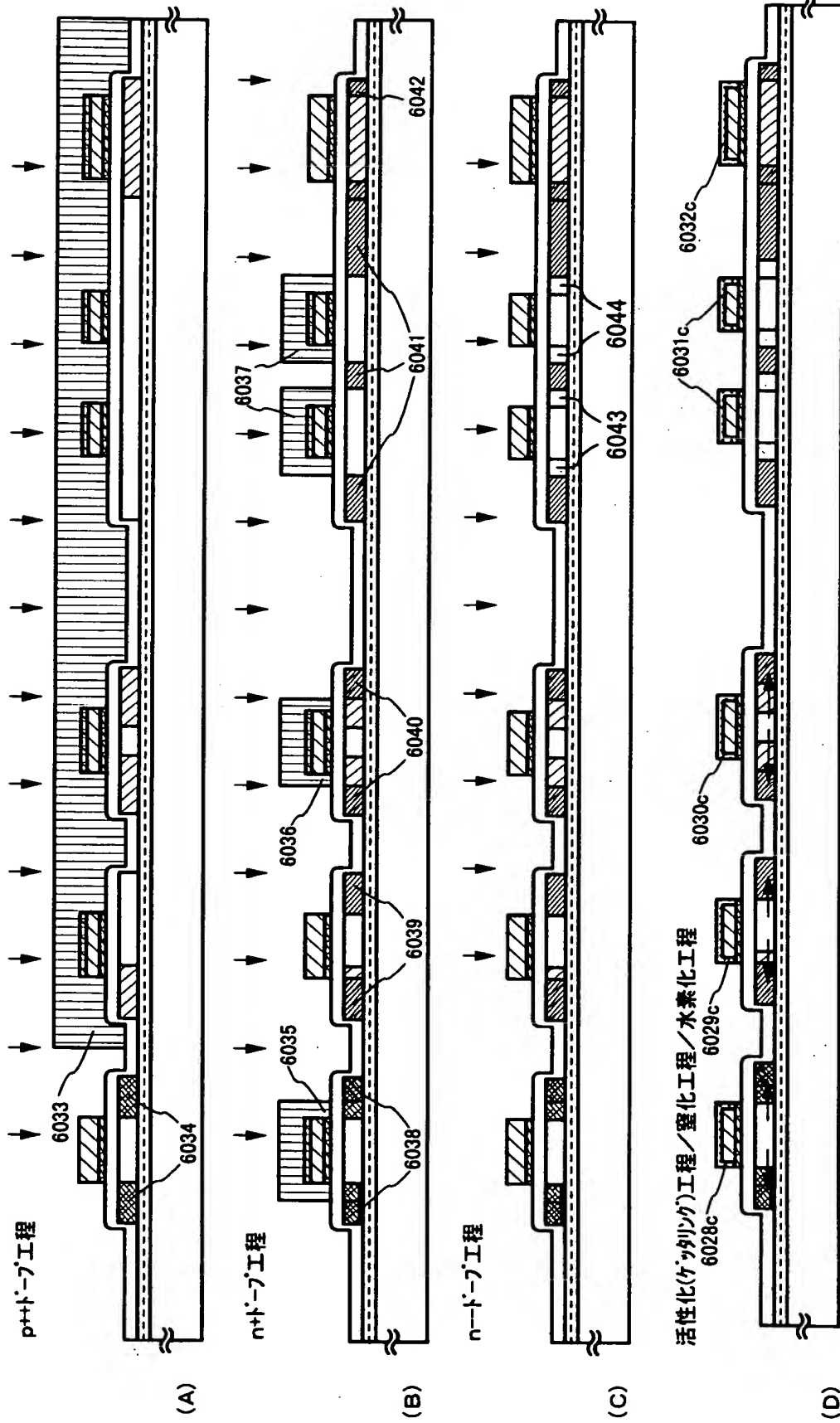
【图 8】



【図 9】

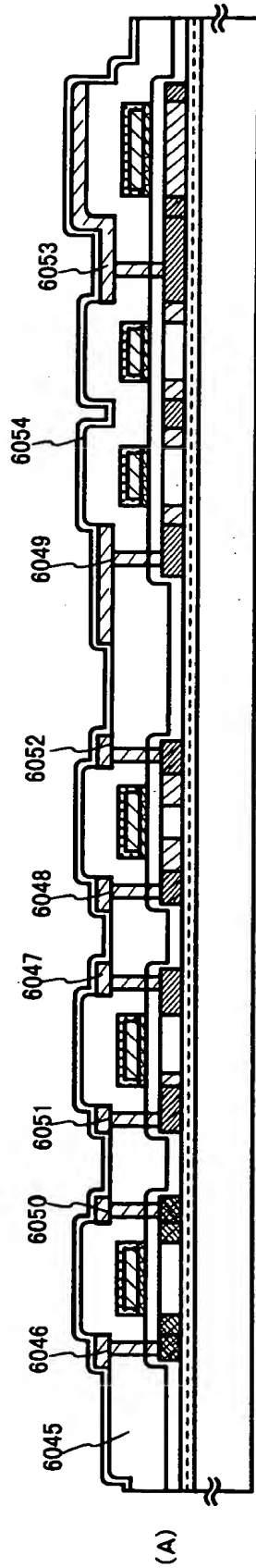


【図 10】

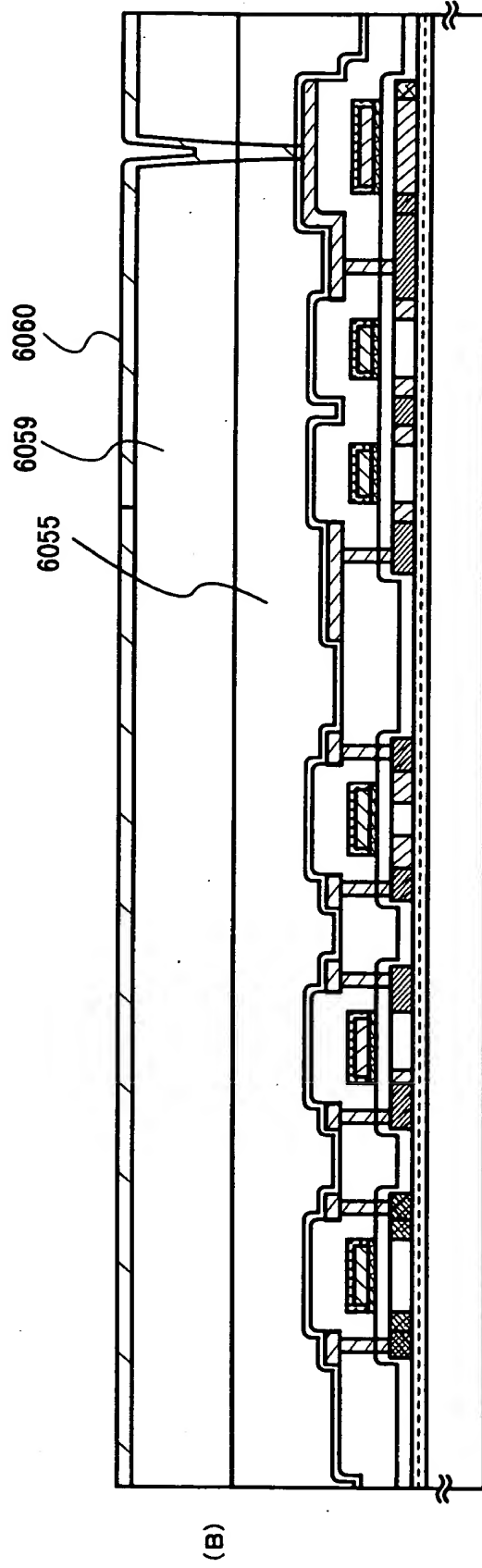


【図 1 1】

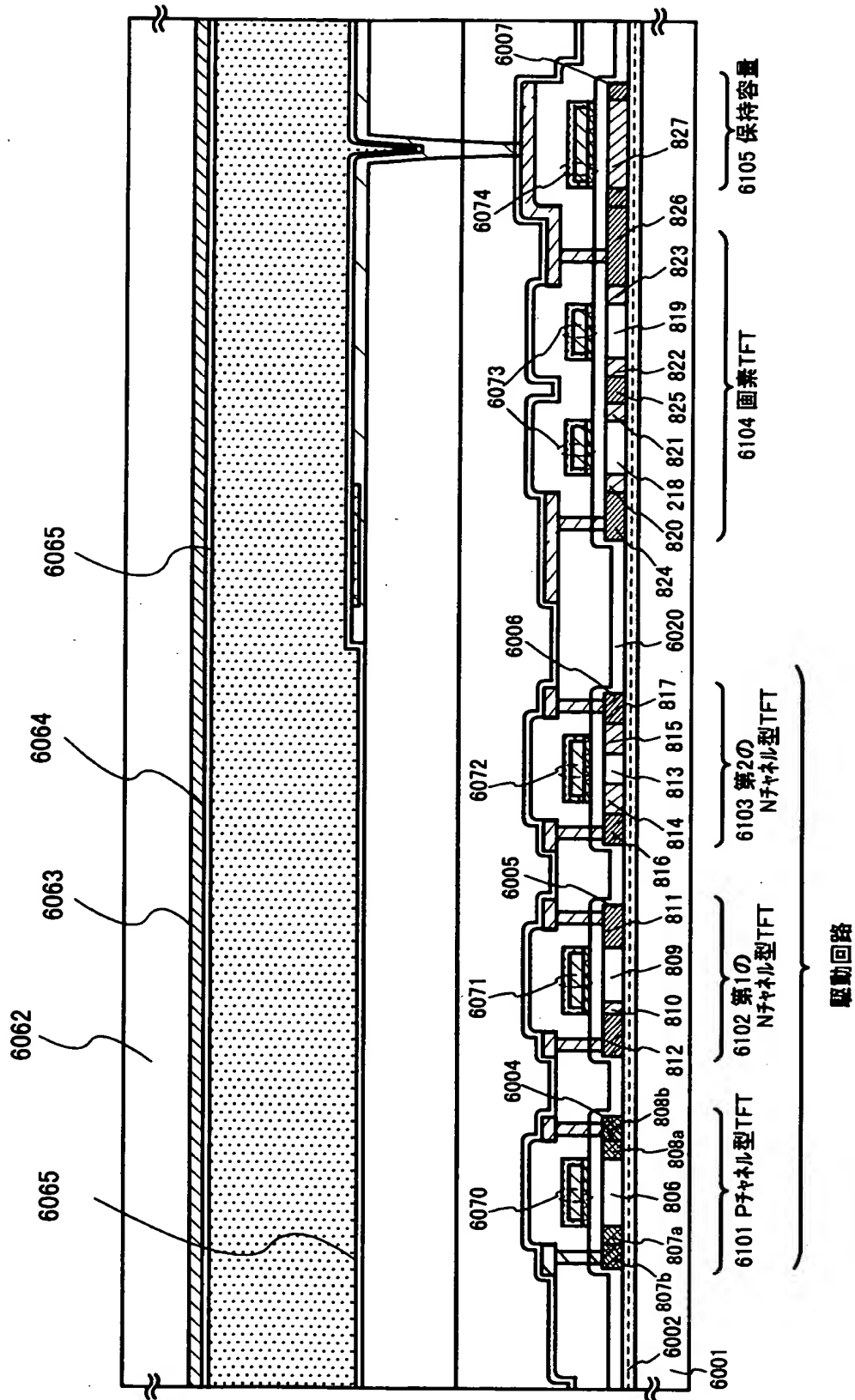
層間膜形成工程／コンタクトホール形成工程／配線形成工程
ハジバーン膜形成工程



樹脂膜形成工程／コンタクトホール形成工程／画素電極形成工程

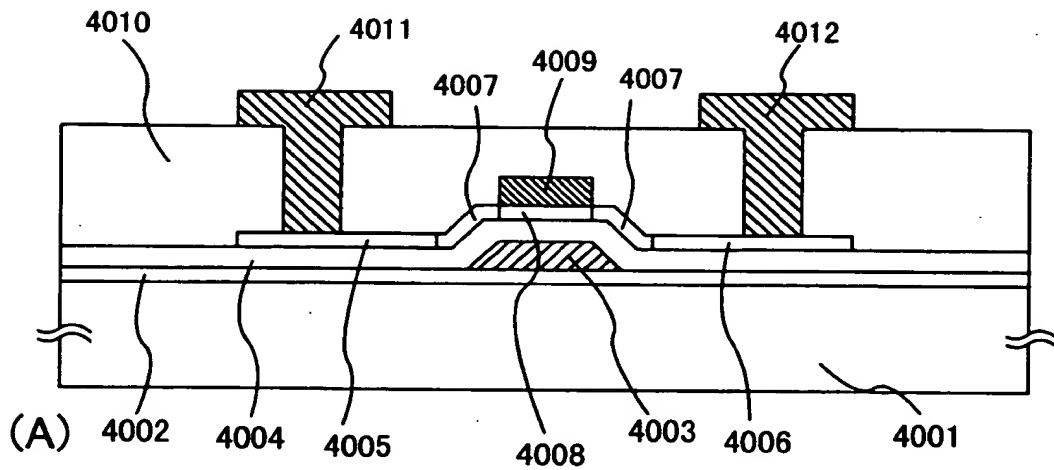


【図 1 2】

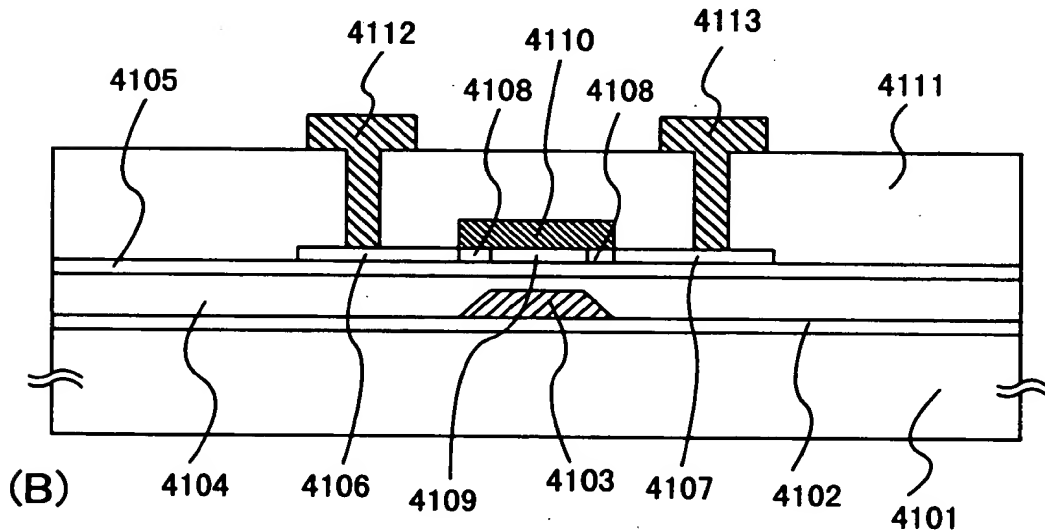


特平 1 1 - 2 8 0 6 0 5

【図 1 3】

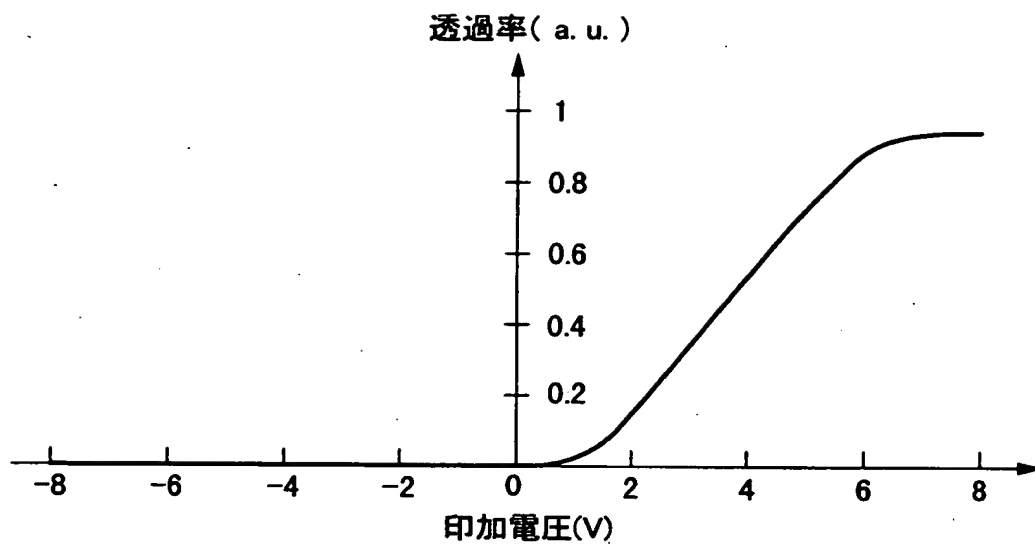


- | | |
|--------------|----------------------|
| 4001 基板 | 4007 低濃度不純物領域(LDD領域) |
| 4002 酸化シリコン膜 | 4008 チャネル形成領域 |
| 4003 ゲート電極 | 4009 チャネル保護膜 |
| 4004 ゲート絶縁膜 | 4010 層間絶縁膜 |
| 4005 ソース領域 | 4011 ソース電極 |
| 4006 ドレイン領域 | 4012 ドレイン電極 |

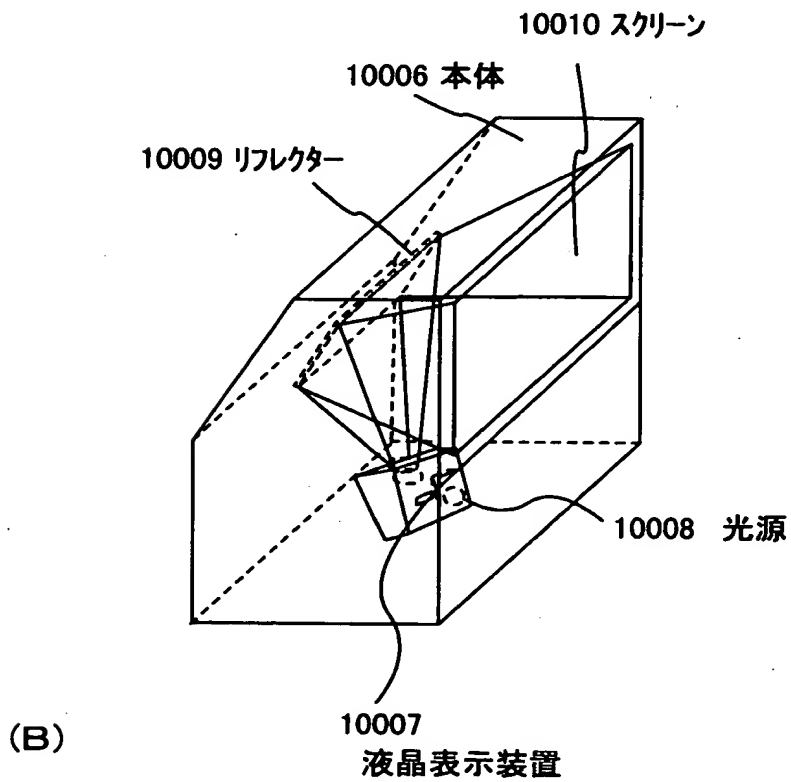
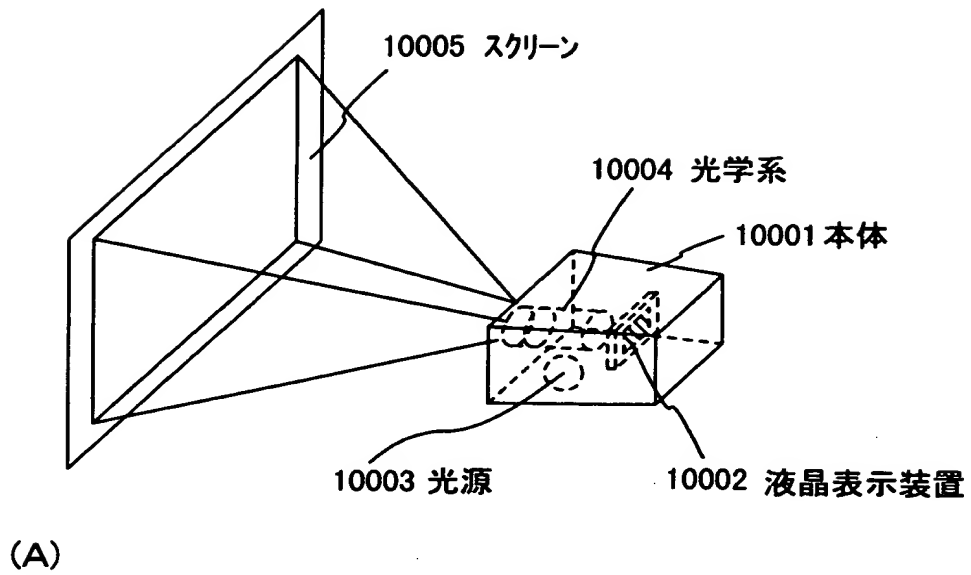


- | | |
|---------------------|----------------------|
| 4101 基板 | 4108 低濃度不純物領域(LDD領域) |
| 4102 酸化シリコン膜 | 4109 チャネル形成領域 |
| 4103 ゲート電極 | 4110 チャネル保護膜 |
| 4104 ベンゾシクロブテン(BCB) | 4111 層間絶縁膜 |
| 4105 窒化シリコン | 4112 ソース電極 |
| 4106 ソース領域 | 4113 ドレイン電極 |
| 4107 ドレイン領域 | |

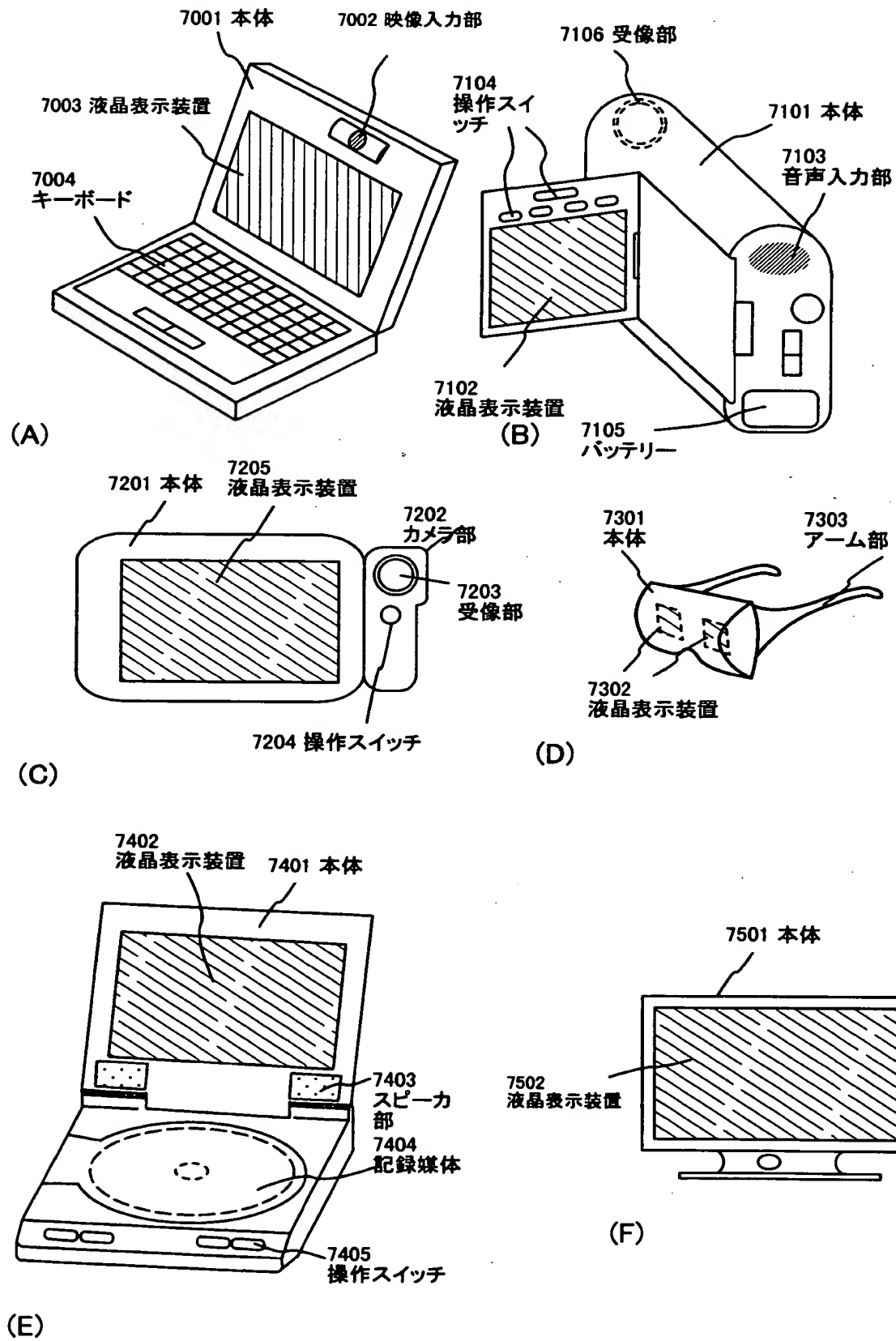
【図 1 4】



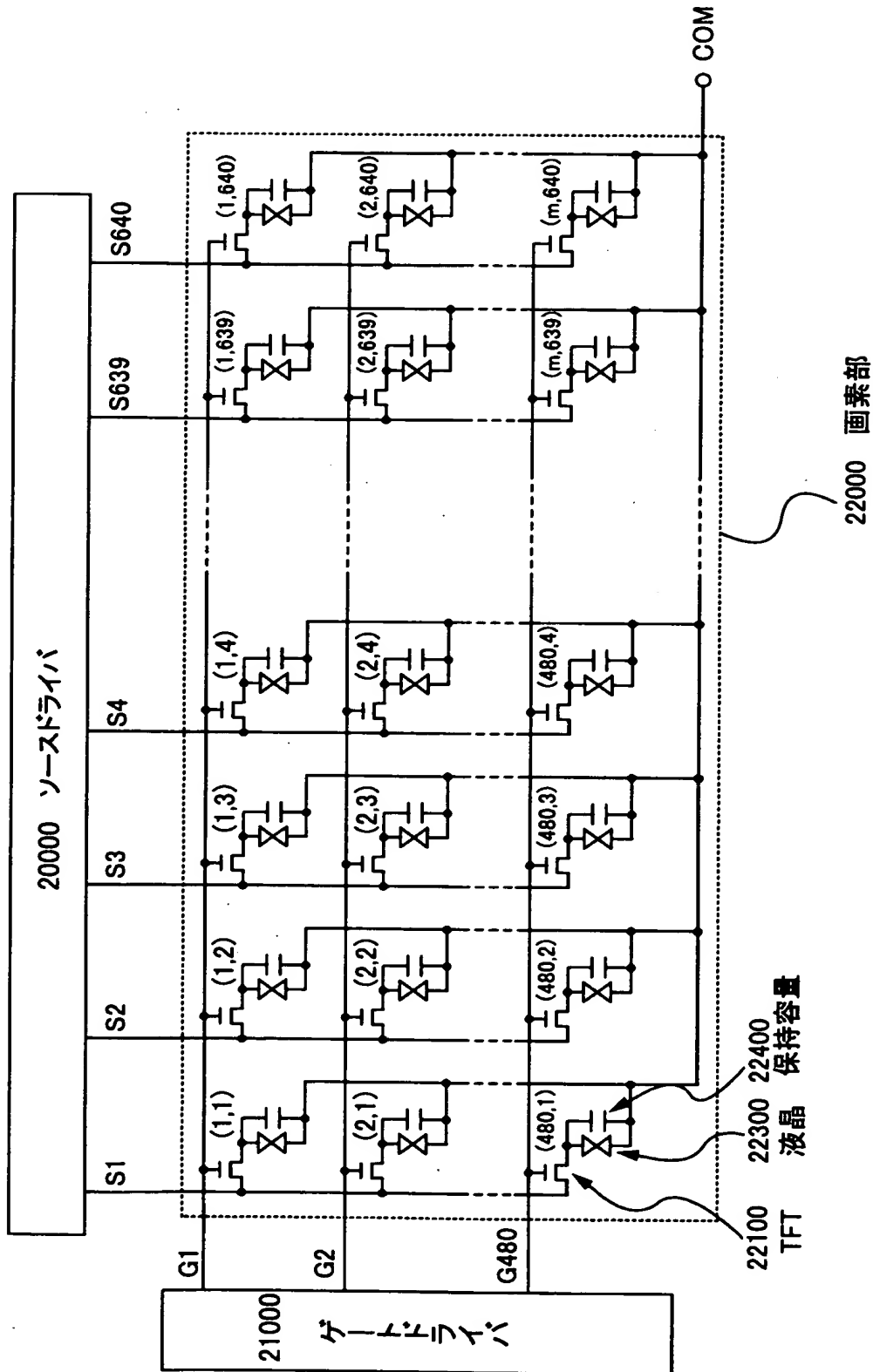
【図 15】



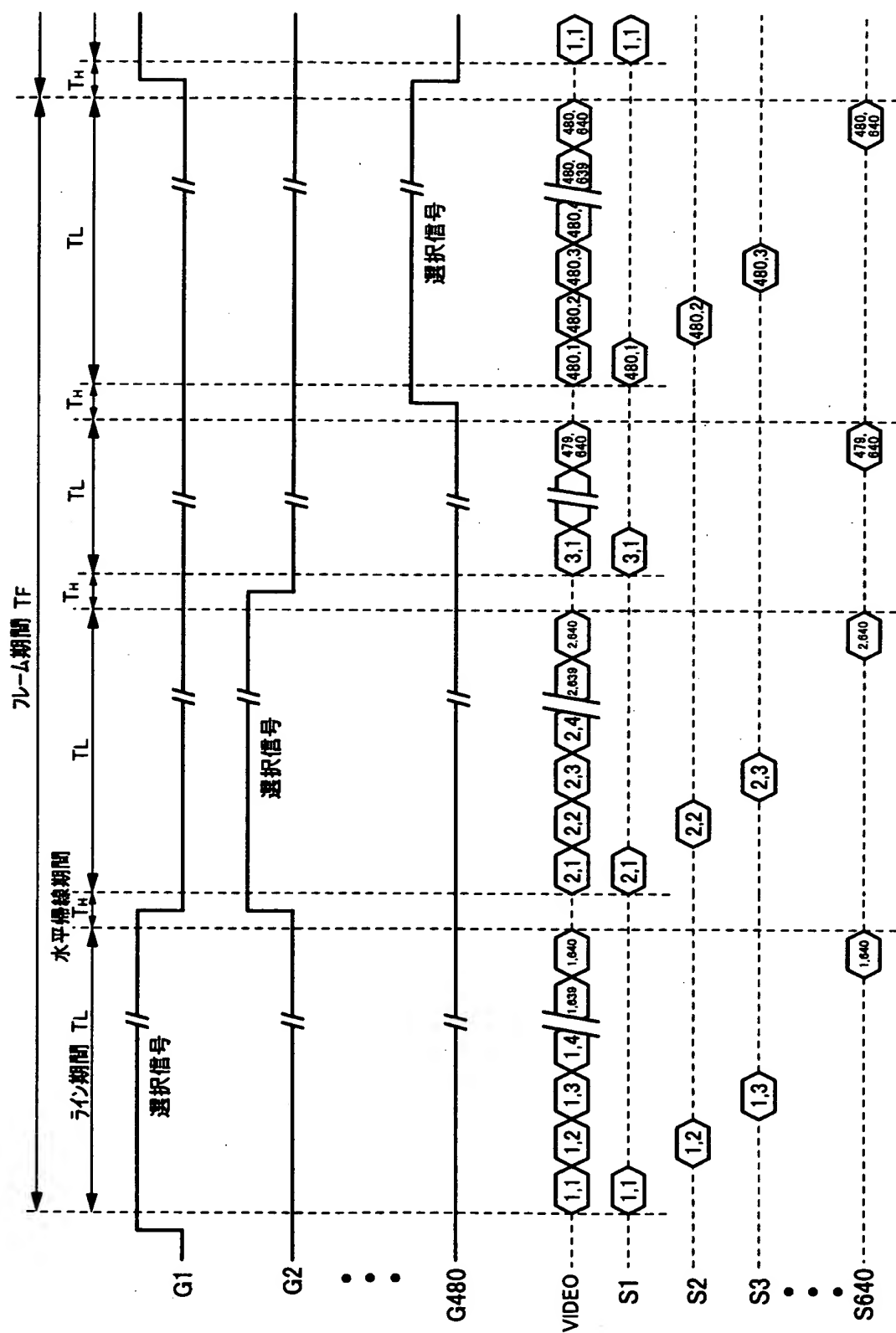
【図 16】



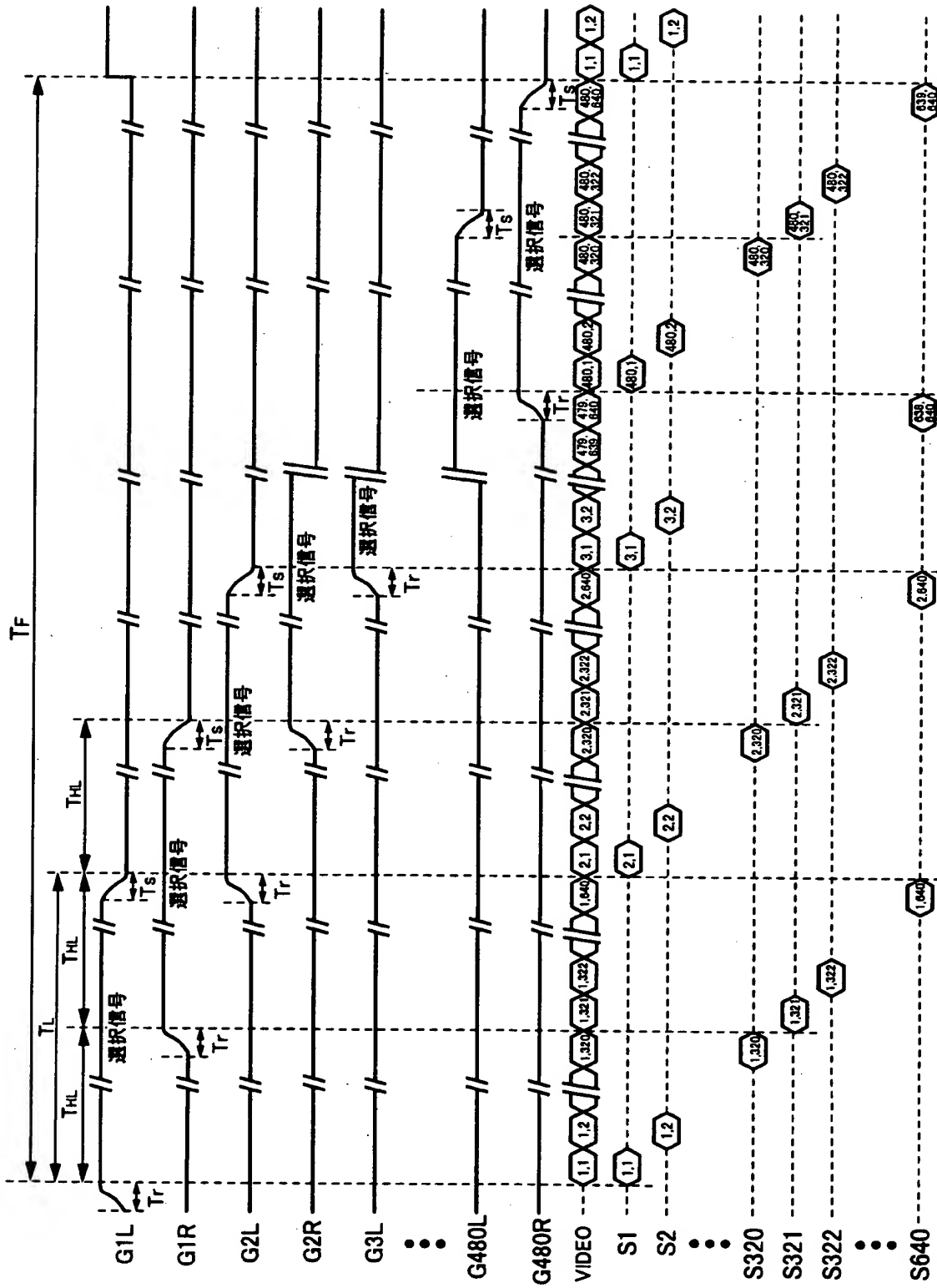
【図 17】



【图 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 全ての画素が保持容量への十分なビデオ信号の書き込みを実現することのできる液晶表示装置を提供すること。

【解決手段】 本発明の液晶表示装置は左側および右側のゲートドライバを有している。左側のゲートドライバは、画素部の左側半分の画素の T F T に選択信号を供給するように接続されている。かつ、右側のゲートドライバは、画素部の右側半分の画素の T F T に選択信号を供給するように接続されている。また、本発明の液晶表示装置においては、左側のゲートドライバがある列の画素に接続されているゲート信号線に選択信号を出力するタイミングと、右側のゲートドライバが前記画素と同じ行の画素に接続されているゲート信号線に選択信号を出力するタイミングとが異なる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所